

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240844

(43)Date of publication of application : 12.09.1995

(51)Int.Cl. H04N 1/41  
G06T 1/20  
G06T 9/00  
H03M 7/30  
H04N 7/32

(21)Application number : 06-020937

(22)Date of filing : 18.02.1994

(71)Applicant : MITSUBISHI ELECTRIC CORP

(72)Inventor : MATSUMURA TETSUYA  
NAKAGAWA SHINICHI  
SEGAWA HIROSHI  
ISHIHARA KAZUYA  
KUMAKI SATORU  
HANAMI MITSUO

(30)Priority

Priority number : 05 60335 Priority date : 19.03.1993 Priority country : JP  
05301716 01.12.1993

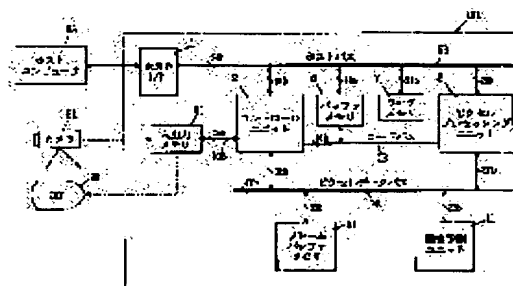
JP

## (54) IMAGE DATA PROCESSING UNIT AND IMAGE DATA PROCESSING METHOD

(57)Abstract:

PURPOSE: To attain high speed compression processing for image data by providing a variable length coding processor and a pipeline control processor applying pipeline control to the processing the processing unit.

CONSTITUTION: The processing unit is provided with a control unit 2 having two processors, a pixel processing unit 3 for DCT and quantization, a moving prediction (or detection) unit 41 and a frame buffer memory 51 or the like storing processed image data. Then the picture element processor executes discrete cosine transformation processing and quantization processing to picture element data sent via a picture element data bus and the variable length coding processor executes the picture element coding processing. Furthermore, the pipeline control processor controls the processing in each processor and pipeline processing in the data transfer via a bus. Thus, the compression processing of picture data is implemented at a high speed.



## LEGAL STATUS

[Date of request for examination] 22.09.1999

[Date of sending the examiner's decision of rejection] 23.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-240844

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/41	B			
G 0 6 T 1/20				
				9/00
H 0 3 M 7/30	A	8842-5 J		
H 0 4 N 7/32				

審査請求 未請求 請求項の数25 O L (全 74 頁)

(21) 出願番号	特願平6-20937	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成6年(1994)2月18日	(72) 発明者	松村 哲哉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内
(31) 優先権主張番号	特願平5-60335	(72) 発明者	中川 伸一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内
(32) 優先日	平5(1993)3月19日	(74) 代理人	弁理士 深見 久郎 (外3名)
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平5-301716		
(32) 優先日	平5(1993)12月1日		
(33) 優先権主張国	日本 (J P)		

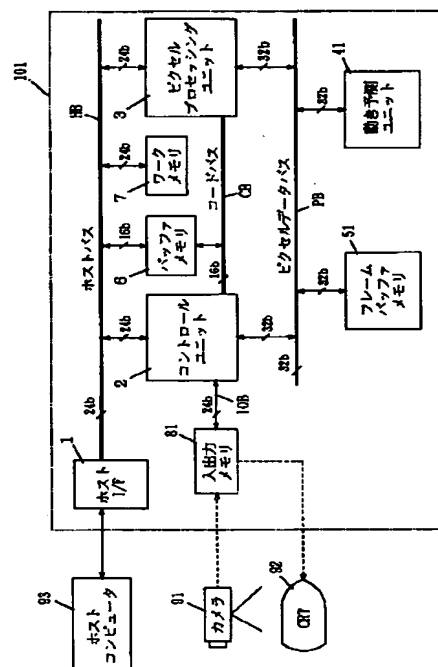
最終頁に続く

(54) 【発明の名称】 画像データ処理装置および画像データ処理方法

(57) 【要約】

【構成】 画像圧縮のための国際標準規格に従う画像圧縮／伸張処理装置であって、全体制御プロセッサおよび可変長処理プロセッサを備えたコントロールユニット2と、離散コサイン変換演算および量子化演算のためのピクセルプロセッシングユニット3と、SDRAMを用いたフレームバッファメモリ51と、動き予測ユニット41と、ピクセルデータバスPBと、コードバスCBとを備える。コントロールユニット2内に設けられた全体制御プロセッサが、画像圧縮／伸張処理のためのパイプライン制御を行なう。

【効果】 画像圧縮／伸張処理が、独立して動作する演算ユニットにより行なわれ、かつパイプライン処理が実行されるので、高速処理に適した画像圧縮／伸張処理装置が提供され得る。



## 【特許請求の範囲】

【請求項 1】 圧縮されるべき画素データを記憶する画素データ記憶手段と、

前記画素データ記憶手段に記憶された画素データを伝送する画素データバスと、

前記画素データバスを介して伝送された画素データについて、離散コサイン変換処理および量子化処理を実行し、画素符号を出力する画素プロセッサと、

前記画素プロセッサから出力された画素符号を伝送する画素符号バスと、

前記画素符号バスを介して伝送された画素符号について、可変長符号化処理を実行し、可変長符号を出力する可変長符号化プロセッサと、

前記画素データバス、前記画素プロセッサ、前記画素符号バスおよび前記可変長符号化プロセッサについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項 2】 圧縮された可変長符号を記憶する可変長符号記憶手段と、

前記可変長符号記憶手段に記憶された可変長符号を伝送する可変長符号バスと、

前記可変長符号バスを介して伝送された可変長符号について、可変長復号化処理を実行し、画素符号を出力する可変長復号化プロセッサと、

前記可変長復号化プロセッサから出力された画素符号を伝送する画素符号バスと、

前記画素符号バスを介して伝送された画素符号について、逆量子化処理および逆離散コサイン変換処理を実行し、伸張された画素データを出力する画素プロセッサと、

前記可変長符号バス、前記可変長復号化プロセッサ、前記画素符号バスおよび前記画素プロセッサについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項 3】 データ圧縮モードにおいて画素データについて離散コサイン変換処理および量子化処理を実行し、かつデータ伸張モードにおいて画素符号について逆量子化処理および逆離散コサイン変換処理を実行する画素プロセッサと、

データ圧縮モードにおいて画素符号について可変長符号化処理を実行し、かつデータ伸張モードにおいて可変長符号について可変長復号化処理を実行する可変長プロセッサと、

前記画素プロセッサと前記可変長プロセッサとの間で画素データおよび可変長符号を伝送する第 1 のデータバスと、

前記画素プロセッサと前記可変長プロセッサとの間で画素符号を伝送する第 2 のデータバスと、

前記画素プロセッサ、前記可変長プロセッサ、第 1 および第 2 のデータバスについてのパイプライン処理を制御

するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項 4】 変換のためのテーブルデータを記憶する第 1 の記憶手段、画像処理されるべき画像データを記憶する第 2 の記憶手段、表示のための画像データを記憶する第 3 の記憶手段、および変換された画像データを記憶する第 4 の記憶手段に対しアクセス可能な画像データ処理装置であって、

前記第 1 の記憶手段にアクセスする第 1 のアクセス手段と、

前記第 2 の記憶手段にアクセスする第 2 のアクセス手段と、

前記第 3 の記憶手段にアクセスする第 3 のアクセス手段と、

前記第 4 の記憶手段にアクセスする第 4 のアクセス手段と、

前記第 1 および第 4 のアクセス手段に対しアクセス動作の開始を個々に制御するアクセス制御手段とを含む、画像データ処理装置。

【請求項 5】 画像データ圧縮および／または画像データ伸張のための複数の予め定められた処理についてのパイプライン処理を制御する制御プロセッサと、

前記制御プロセッサから与えられる制御信号に応答して前記複数の予め定められた処理のうち予め定められた 1 つを実行する画像処理プロセッサとを含む、画像データ処理装置。

【請求項 6】 画像データ圧縮および／または画像データ伸張のための離散コサイン変換処理、量子化処理および可変長データ処理についてのパイプライン処理を制御するパイプライン処理制御プロセッサと、

前記パイプライン処理制御プロセッサから与えられる制御信号に応答して、前記可変長データ処理を実行する可変長プロセッサとを含む、画像データ処理装置。

【請求項 7】 画像データ圧縮および／または画像データ伸張のための予め定められた処理および画像データ転送についての並列動作を制御する制御プロセッサと、各々が前記制御プロセッサから与えられる制御信号に応答して、前記予め定められた処理および前記画像データ転送の実行を個々に命令する複数の実行命令手段とを含む、画像データ処理装置。

【請求項 8】 ランデータおよびレベルデータの組合せに対応する可変長符号、その符号長データおよび等長符号処理フラグを記憶する記憶手段と、

与えられたランデータおよび与えられたレベルデータに  
応答して、前記記憶手段から対応する可変長符号、その  
符号長データおよび等長符号処理フラグを読出す読出手  
段と、

前記与えられたランデータおよび前記与えられたレベル  
データについて、予め定められた規則に従う符号化処理  
を実行し、対応する等長符号を出力する等長符号化手段

と、  
前記読出手段から出力される等長符号処理フラグに  
応答して、前記可変長符号および前記等長符号の  
一方を選択する選択手段と、

前記選択手段から出力される出力符号を順次に  
結合する符号結合手段とを含む、画像データ  
処理装置。

【請求項 9】 可変長符号に対応するランデータ、  
レベルデータおよび等長処理フラグを記憶する  
記憶手段と、結合された可変長符号を含む与え  
られた可変長符号列から可変長符号を抽出する  
抽出手段と、前記抽出手段によって抽出され  
た可変長符号に  
応答して、前記記憶手段から対応するランデータ、  
レベルデータおよび等長処理フラグを  
読出す読出手段と、前記抽出手段によって  
抽出された可変長符号について、予め定めら  
れた規則に従う復号化処理を実行し、対応す  
る復号データを出力する等長復号化手段と、  
前記読出手段から出力される等長処理フラグに  
応答して、前記ランデータおよびレベルデータ  
ならびに前記復号データの一方を選択する選  
択手段とを含む、画像データ処理装置。

【請求項 10】 画面内の画素を規定するための  
画素データを記憶するための  $n$  個 ( $n \geq 2$ ) のメモ  
リセルアレイを含み、  
前記  $n$  個のメモリセルアレイは、1つの行アド  
レス信号および1つの列アドレス信号の供与に  
応答して、各々が前記  $n$  個のメモリセルアレ  
イの対応する1つ内にストアされた  $n$  個の画  
素データを出力し、  
前記  $n$  個の画素データは、画面において垂直  
方向に置かれた複数の画素を規定し、  
シリアルクロック信号に応答して、画面にお  
いて水平方向に置かれた画素についての画素  
データを規定するための列アドレス信号をシ  
リアルに出力するアドレス信号発生手段を含  
む、画像データ処理装置。

【請求項 11】 画面内の画素を規定するための  
画素データを記憶するための  $n$  個 ( $n \geq 2$ ) のメモ  
リセルアレイを含み、  
前記  $n$  個のメモリセルアレイは、1つの行アド  
レス信号および1つの列アドレス信号の供与に  
応答して、各々が前記  $n$  個のメモリセルアレ  
イの対応する1つ内にストアされた  $n$  個の画  
素データを出力し、  
前記  $n$  個の画素データは、画面において水平  
方向に置かれた複数の画素を規定し、  
シリアルクロック信号に応答して、画面にお  
いて垂直方向に置かれた画素についての画素  
データを規定するための列アドレス信号をシ  
リアルに出力するアドレス信号発生手段を含  
む、画像データ処理装置。

【請求項 12】 画面を形成する画素を規定す  
る複数のマクロブロックデータをパイプライン  
処理の下で符号化する画像データ処理方法であ  
って、  
マクロブロックデータについて離散コサイン  
変換処理お

よび量子化処理を実行し、画素符号を生成す  
るステップと、

前記ステップにおいて生成された画素符号に  
ついて可変長符号化処理を実行し、可変長符  
号を生成するステップと、

前記ステップにおいて生成された可変長符号  
を結合し、可変長符号列を生成するステップ  
とを含む、画像データ処理方法。

【請求項 13】 画面を形成する画素を規定す  
る複数の可変長符号を含む可変長符号列をパイ  
プライン処理の下で復号化する画像データ処理  
方法であって、  
前記可変長符号列から前記可変長符号を抽出  
するステップと、

前記ステップにおいて抽出された可変長符号  
について可変長復号化処理を実行し、画素符  
号を生成するステップと、

前記ステップにおいて生成された画素符号に  
ついて逆量子化処理および逆離散コサイン変  
換処理を実行し、画面を形成する画素を規  
定するマクロブロックデータを生成するステ  
ップとを含む、画像データ処理方法。

【請求項 14】 画面内の画素を規定する複数  
の第1画素データを記憶する記憶手段に前記第  
1画素データをマッピングさせる画像データ処  
理方法であって、  
前記第1画素データの中から2次元的に隣接  
し矩形領域に含まれる複数の第2画素データ  
を決定する第1ステップと、  
前記第2画素データを1つのデータとして前  
記記憶手段の1つのアドレスを前記第2画素  
データに与える第2ステップと、

前記第2画素データのアドレスを用いて前記  
第2画素データを前記記憶手段からまたは前  
記記憶手段へ転送する第3ステップとを含む  
、画像データ処理方法。

【請求項 15】 画面内の画素を規定するた  
めの互いに関連する第1および第2色差画素  
データを記憶する記憶手段に前記第1および  
第2色差画素データをマッピングさせる画像  
データ処理方法であって、  
前記第1および第2色差画素データを転送単  
位で交互に前記記憶手段にマッピングする第  
1ステップと、  
前記第1または第2色差画素データを前記転  
送単位で前記記憶手段からまたは前記記憶  
手段へ転送する第2ステップとを含む、画像  
データ処理方法。

【請求項 16】 画面内の画素を規定するた  
めの互いに連関する第1および第2色差画素  
データを記憶する記憶手段に前記第1および  
第2色差画素データをマッピングさせる画像  
データ処理方法であって、  
前記第1および第2色差画素データを同数  
ずつ合わせた第3色差画素データを1つの  
データとして前記記憶手段にマッピングさせ  
る第1ステップと、  
前記第3色差画素データを1つのデータとし  
て前記記憶手段からまたは前記記憶手段へ  
転送する第2ステップと

を含む、画像データ処理方法。

【請求項 17】 圧縮されるべき画素データを記憶する第 1 の画素データ記憶手段と、  
前記第 1 の画素データ記憶手段に記憶された画素データを伝送する第 1 の画素データバスと、  
前記第 1 の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて動き予測用参照データを抽出し、かつ、前記動き予測用参照データを出力する第 1 および第 2 のデータポートを有する画素プロセッサと、  
前記画素プロセッサの第 2 のデータポートから出力された動き予測用参照データを伝送する第 2 の画素データバスと、  
前記第 2 の画素データバスを介して伝送された動き予測用参照データを記憶する第 2 の画素データ記憶手段と、  
前記第 2 の画素データ記憶手段に記憶され、前記第 2 の画素データバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動きベクトルを生成する動き予測ユニットと、  
前記第 1 および第 2 の画素データバス、前記画素プロセッサ、前記動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項 18】 前記パイプライン制御プロセッサは、前記画素プロセッサの第 1 および第 2 のデータポートの出力制御信号を出力するシステム制御器をさらに含む、請求項 17 記載の画像データ処理装置。

【請求項 19】 圧縮されるべき画素データを記憶する第 1 の画素データ記憶手段と、  
前記第 1 の画素データ記憶手段に記憶された画素データを伝送する第 1 の画素データバスと、  
前記第 1 の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて動き予測用参照データを抽出し、かつ、前記動き予測用参照データを出力する第 1 のデータポートと、前記動き予測用参照データを分割して出力する複数の第 2 のデータポートとを有する画素プロセッサと、  
前記第 2 のデータポートごとに対応して設けられ、前記第 2 のデータポートから出力された動き予測用参照データを伝送する複数の第 2 の画素データバスと、  
前記第 2 のデータポートごとに対応して設けられ、前記第 2 の画素データバスを介して伝送された動き予測用参照データを記憶する複数の第 2 の画素データ記憶手段と、  
前記第 2 のデータポートごとに対応して設けられ、前記第 2 の画素データ記憶手段に記憶され、前記第 2 の画素データバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動きベクトルを生成する複数の動き予測ユニットと、  
前記第 1 の画素データバス、前記画素プロセッサ、前記

複数の第 2 の画素データバス、および前記複数の動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項 20】 圧縮されるべき画素データを記憶する第 1 の画素データ記憶手段と、  
前記第 1 の画素データ記憶手段に記憶された画素データを伝送する第 1 の画素データバスと、  
前記第 1 の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて動き予測用参照データを抽出し、かつ、前記動き予測用参照データを出力する第 1 のデータポートと、前記動き予測用参照データの種類に応じて前記動き予測用参照データを分割して出力する複数の第 2 のデータポートとを有する画素プロセッサと、  
前記第 2 のデータポートごとに対応して設けられ、前記第 2 のデータポートから出力された動き予測用参照データを伝送する複数の第 2 の画素データバスと、  
前記第 2 のデータポートごとに対応して設けられ、前記第 2 の画素データバスを介して伝送された動き予測用参照データを記憶する複数の第 2 の画素データ記憶手段と、  
前記複数の第 2 の画素データ記憶手段と接続されるアドレスバスと、  
前記第 2 のデータポートごとに対応して設けられ、前記第 2 の画素データ記憶手段に記憶され、前記第 2 の画素データバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、前記動き予測用参照データの種類に応じた動きベクトルを生成する複数の動き予測ユニットと、  
前記第 1 の画素データバス、前記画素プロセッサ、前記複数の第 2 の画素データバス、前記アドレスバス、および前記複数の動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項 21】 圧縮されるべき画素データを記憶する第 1 の画素データ記憶手段と、  
前記第 1 の画素データ記憶手段に記憶された画素データを伝送する第 1 の画素データバスと、  
前記第 1 の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて異なる種類の動き予測用参照データを抽出し、かつ、前記動き予測用参照データを出力する第 1 のデータポートと、前記動き予測用参照データの種類に応じて前記動き予測用参照データを出力する第 2 のデータポートとを有する複数の画素プロセッサと、  
前記画素プロセッサごとに対応して設けられ、前記第 2 のデータポートから出力された動き予測用参照データを伝送する複数の第 2 の画素データバスと、  
前記画素プロセッサごとに対応して設けられ、前記第 2

の画素データベースを介して伝送された動き予測用参照データを記憶する複数の第2の画素データ記憶手段と、前記画素プロセッサごとに対応して設けられ、前記第2の画素データ記憶手段に記憶され、前記第2の画素データベースを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動きベクトルを生成する複数の動き予測ユニットと、

前記第1の画素データベース、前記複数の画素プロセッサ、前記複数の第2の画素データベース、および前記複数の動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む、画像データ処理装置。

【請求項22】 前記複数の第2の画素データ記憶手段に記憶される動き予測用参照データは、輝度成分と色差成分との種類の違いによってそれぞれ異なる第2の画素データ記憶手段に記憶される請求項19ないし請求項21記載の画像データ処理装置。

【請求項23】 画像データ圧縮および／または画像データ伸長のための予め定められた処理および画像データ転送についての並列動作を制御する制御プロセッサと、各々が前記制御プロセッサから与えられる制御信号にตอบสนองして、前記予め定められた処理および前記画像データ転送の実行を個々に命令する複数の実行命令手段と、前記制御プロセッサと前記複数の実行命令手段との間でデータを転送する第1データベースと、前記複数の実行命令手段との間でデータを転送する第2データベースとを含む、画像データ処理装置。

【請求項24】 画像データ圧縮および／または画像データ伸長のための離散コサイン変換処理および／または逆離散コサイン変換処理、および、量子化処理および／または逆量子化処理を実行する画像処理手段と、画像データ専用で設けられた少なくとも2つのインタフェース手段と、前記画像処理手段により処理された画像データ圧縮および／または画像データ伸長のためのデータを記憶する記憶手段と、前記インタフェース手段と前記記憶手段との間でデータを転送する1つのデータベースとを含む、画像データ処理装置。

【請求項25】 画像データ圧縮および／または画像データ伸長のための離散コサイン変換処理および／または逆離散コサイン変換処理、および、量子化処理および／または逆量子化処理を実行する画像処理手段と、画像データ専用で設けられた少なくとも2つのインタフェース手段と、前記画像処理手段により処理された画像データ圧縮および／または画像データ伸長のためのデータを記憶する記憶手段と、前記インタフェース手段ごとに設けられ、前記インタフェース手段の各々と前記記憶手段との間でデータを転送

する複数のデータベースとを含む、画像データ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、一般に画像データ処理装置および画像処理方法に関し、特に、画像データの圧縮および／または伸張を高速で効率的に実行できる画像データ処理装置および画像データ処理方法に関する。

【0002】

【背景の技術】従来より、画像データを圧縮および伸張するための国際標準規格の作成が、国際標準化機構 (International Organization for Standardization; 以下「ISO」という)、国際電信電話諮問委員会 (International Telegraph and Telephone Consultative Committee; 以下「CCITT」という、ただし、現在はITU-Tと改称)、国際電気標準会議 (International Electrical Committee; 以下「IEC」という) により進められている。

【0003】国際標準規格の中で、JPEG規格は、ISOおよびCCITTによるJoint Photographic Expert Groupにより作成され、カラー静止画のための圧縮および伸張アルゴリズムを規定している。一方、MPEG規格は、ISOおよびIECのMoving Picture Expert Groupにより作成中であり、カラー動画のための圧縮および伸張アルゴリズムを規定している。さらに、H. 261規格は、CCITTにより作成中の規格であり、テレビ会議およびテレビ電話に適した圧縮および伸張アルゴリズムを規定している。

【0004】図69は、国際標準規格において勧告されている画像圧縮アルゴリズムにおける主な処理を示すブロック図である。図69を参照して、画像圧縮処理は、基本的に、予測符号化処理、直交変換処理および可変長符号化処理を含む。図69からわかるように、JPEG、MPEGおよびH. 261の各規格は、画像圧縮処理において、離散コサイン変換 (以下「DCT」という)、量子化処理およびハフマン符号化処理を含んでいる。

【0005】たとえば、カラー静止画処理のためのJPEG規格は、基本システムとして、適応DCT処理、量子化処理ならびにDPCM処理およびハフマン符号化処理を含む。JPEG規格は、拡張システムとして、適応DCT処理および階層符号化処理ならびに算術符号化処理および適応ハフマン符号化処理を含む。

【0006】動画像蓄積処理のためのMPEG規格は、動き補償／フレーム間予測処理、DCT処理、量子化処理およびハフマン符号化処理を含む。テレビ電話およびテレビ会議のためのH. 261規格は、動き補償処理／フレーム間予測処理、DCT処理、量子化処理およびハフマン符号化処理を含む。

【0007】上記の国際標準規格に従う画像圧縮用LS

Iの開発が進められており、その概要は、たとえば、「画像圧縮用LSI」と題された論文（テレビジョン学会誌Vol. 46, No. 3, pp. 253-260, 1992）において記載されている。この発明は、一般に上記の国際標準規格に従う画像圧縮および／または伸張処理のための画像データ圧縮装置、画像データ伸張装置および画像データプロセッサに適用され得ることが指摘される。

【0008】図70は、従来の画像圧縮／伸張処理装置のブロック図である。図70を参照して、この画像圧縮／伸張処理装置は、画像データ処理のためのデジタルシグナルプロセッサ（以下「DSP」という）900と、画像データメモリ907と、コードデータメモリ908と、表示メモリ909と、ワークメモリ910とを含む。DSP900は、内部バス940を介してメモリ907ないし910に接続される。

【0009】図71は、図70に示したDSP900のブロック図である。図71を参照して、このDSP900は、命令メモリ901と、プログラム制御器902と、データメモリ903と、データ演算器904と、外部インターフェイス905とを含む。システムバス941は、プログラム制御器902、データメモリ903、データ演算器904および外部インターフェイス905間を接続する。

【0010】動作において、命令メモリ901内にストアされた（またはプログラムされた）命令コードが読み出され、プログラム制御器902に与えられる。プログラム制御器902は、与えられた命令コードをデコードし、様々な制御信号を発生する。データ演算器904は、プログラム制御器902から与えられた制御信号にตอบสนองして、データメモリ903および外部インターフェイス905を介して外部からデータを受け、演算を実行する。演算結果は、データメモリ903内にストアされるか、または外部インターフェイス905を介して出力される。このように、DSP900において、命令メモリ901にストアされた命令コードに従って処理が実行される。

【0011】次に、図70および図71を参照して、画像データの圧縮処理における動作について説明する。ここで、圧縮されるべき画像データは、画像データメモリ907内にストアされているものと仮定する。まず、画像データメモリ907内にストアされた画像データが、DSP900内のデータメモリ903に転送される。データメモリ903内にストアされた画像データに対して、データ演算器904によるフォーマット変換処理が行なわれる。フォーマット変換処理において、たとえば、色差信号のサブサンプルデータまたはRGBフォーマットデータが、YUVフォーマットデータに変換される。変換されたデータは、一時的にデータメモリ903内にストアされる。DSP900は、データメモリ90

3内の変換されたデータを画像データメモリ907に転送する。

【0012】次に、DSP900は、画像データメモリ907にストアされたデータを用いて、画像圧縮モードの判定処理を行なう。画像圧縮モードとして、フレーム間の圧縮モードおよびフレーム内の圧縮モードなどが知られている。フレーム間の圧縮モードでは、動き予測（または検出）などの処理が場合により必要となる。圧縮モード判定のための評価データおよび動き検出のための評価データは、画像データに対する差分絶対値和演算などの実行により得られる。これらの演算が実行される時、DSP900はフォーマット変換処理と同様に、画像データメモリ907にストアされたデータをデータメモリ903に転送し、データメモリ903内にストアされたデータに対してデータ演算器904が演算処理を実行する。

【0013】DSP900は、上記の演算により得られた評価データに基づいて、ワークメモリ910内にストアされたモード判定用テーブルデータを参照し、および／または評価データについての比較演算処理を実行することにより圧縮モードを決定する。

【0014】圧縮モードが決定された後、DSP900は、画像データメモリ907にストアされている画像データについて変換符号化処理を実行する。変換符号化処理は、たとえばDCTなどによって代表される処理であり、DSP900は、画像データメモリ907内にストアされたデータを内部メモリ903に転送した後、データ演算器904がDCT処理を実行する。処理されたデータは、データメモリ903内に保持される。

【0015】さらに、DSP900は、可変長符号化（またはエントロピー符号化）処理を実行する。可変長符号化処理は、たとえばハフマン符号などを用いたコード変換処理として知られる。DSP900は、データメモリ903内にストアされたデータについて、ワークメモリ910内にストアされたコード変換テーブルを参照することにより可変長符号化処理を実行する。コード変換の後、処理されたデータはデータメモリ903からコードデータメモリ908に転送され、ストアされる。

【0016】画像圧縮のための画像データ処理は上記のように行なわれるのであるが、一方、画像伸張のための画像データ処理も、画像圧縮の場合と類似した態様で行なわれる。すなわち、画像伸張されるべきデータが一旦DSP900内のデータメモリ903に与えられ、ストアされたデータに対してデータ演算器904が画像伸張のための処理を実行する。

【0017】

【発明が解決しようとする課題】このように、従来の画像圧縮／伸張処理装置は、単一のデータ演算器904を備えたDSP900により、画像データの圧縮および伸張処理を実行しているので、処理に多くの時間を要して



いた。これに加えて、DSP900は、データのための1つの入出力ポート（すなわち外部インターフェイス905）のみしか備えていないので、多量の画像データを扱う画像圧縮／伸張処理装置においてデータ転送が効率よく行なわれ得なかった。

【0018】この発明は上記のような課題を解決するためになされたもので、その1つの目的は、高速処理に適した画像データ処理装置および画像処理方法を提供することである。

【0019】

【課題を解決するための手段】請求項1の発明に係る画像データ処理装置は、圧縮されるべき画素データを記憶する画素データ記憶手段と、画素データ記憶手段に記憶された画素データを伝送する画素データバスと、画素データバスを介して伝送された画素データについて、離散コサイン変換処理および量子化処理を実行し、画素符号を出力する画素プロセッサと、画素プロセッサから出力された画素符号を伝送する画素符号バスと、画素符号バスを介して伝送された画素符号について、可変長符号化処理を実行し、可変長符号を出力する可変長符号化プロセッサと、画素データバス、画素プロセッサ、画素符号バスおよび可変長符号化プロセッサについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0020】請求項2の発明に係る画像データ処理装置は、圧縮された可変長符号を記憶する可変長符号記憶手段と、可変長符号記憶手段に記憶された可変長符号を伝送する可変長符号バスと、可変長符号バスを介して伝送された可変長符号について、可変長復号化処理を実行し、画素符号を出力する可変長復号化プロセッサと、可変長復号化プロセッサから出力された画素符号を伝送する画素符号バスと、画素符号バスを介して伝送された画素符号について、逆量子化処理および逆離散コサイン変換処理を実行し、伸張された画素データを出力する画素プロセッサと、可変長符号バス、可変長復号化プロセッサ、画素符号バスおよび画素プロセッサについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0021】請求項3の発明に係る画像データ処理装置は、データ圧縮モードにおいて画素データについて離散コサイン変換処理および量子化処理を実行し、かつデータ伸張モードにおいて画素符号について逆量子化処理および逆離散コサイン変換処理を実行する画素プロセッサと、データ圧縮モードにおいて画素符号について可変長符号化処理を実行し、かつデータ伸張モードにおいて可変長符号について可変長復号化処理を実行する可変長プロセッサと、画素プロセッサと可変長プロセッサとの間で画素データおよび可変長符号を伝送する第1のデータバスと、画素プロセッサと可変長プロセッサとの間で画素符号を伝送する第2のデータバスと、画素プロセッ

サ、可変長プロセッサ、第1および第2のデータバスについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0022】請求項4の発明に係る画像データ処理装置は、変換のためのテーブルデータを記憶する第1の記憶手段、画像処理されるべき画像データを記憶する第2の記憶手段、表示のための画像データを記憶する第3の記憶手段、および変換された画像データを記憶する第4の記憶手段に対しアクセスすることができる。この画像データ処理装置は、第1ないし第4の記憶手段にそれぞれアクセスする第1ないし第4のアクセス手段と、第1ないし第4のアクセス手段に対しアクセス動作の開始を個々に制御するアクセス制御手段とを含む。

【0023】請求項5の発明に係る画像データ処理装置は、画像データ圧縮および／または画像データ伸張のための複数の予め定められた処理についてのパイプライン処理を制御する制御プロセッサと、制御プロセッサから与えられる制御信号に応答して、複数の予め定められた処理のうち予め定められた1つを実行する画像処理プロセッサとを含む。

【0024】請求項6の発明に係る画像データ処理装置は、画像データ圧縮および／または画像データ伸張のための離散コサイン変換処理、量子化処理および可変長データ処理についてのパイプライン処理を制御するパイプライン制御プロセッサと、パイプライン処理制御プロセッサから与えられる制御信号に応答して、可変長データ処理を実行する可変長プロセッサとを含む。

【0025】請求項7の発明に係る画像データ処理装置は、画像データ圧縮および／または画像データ伸張のための予め定められた処理および画像データ転送についての並列動作を制御する制御プロセッサと、各々が制御プロセッサから与えられる制御信号に応答して、予め定められた処理および画像データ転送の実行を個々に命令する複数の実行命令手段とを含む。

【0026】請求項8の発明に係る画像データ処理装置は、ランデータおよびレベルデータの組合せに対応する可変長符号、その符号長データおよび等長符号処理フラグを記憶する記憶手段と、与えられたランデータおよび与えられたレベルデータに応答して、記憶手段から対応する可変長符号、その符号長データおよび等長符号処理フラグを讀出す讀出手段と、与えられたランデータおよび与えられたレベルデータについて、予め定められた規則に従う符号化処理を実行し、対応する等長符号を出力する等長符号化手段と、讀出手段から出力される等長符号処理フラグに応答して、可変長符号および等長符号の一方を選択する選択手段と、選択手段から出力される出力符号を順次に結合する符号結合手段とを含む。

【0027】請求項9の発明に係る画像データ処理装置は、可変長符号に対応するランデータ、レベルデータおよび等長処理フラグを記憶する記憶手段と、結合された

可変長符号を含む与えられた可変長符号列から可変長符号を抽出する抽出手段と、抽出手段によって抽出された可変長符号に応答して、記憶手段から対応するランデータ、レベルデータおよび等長処理フラグを読出す読出手段と、抽出手段によって抽出された可変長符号について、予め定められた規則に従う等長復号化処理を実行し、対応する復号データを出力する等長復号化手段と、読出手段から出力される等長処理フラグに答して、ランデータおよびレベルデータならびに復号データの一方を選択する選択手段とを含む。

【0028】請求項10の発明に係る画像データ処理装置は、画面内の画素を規定するための画素データを記憶するための $n$ 個( $n \geq 2$ )のメモリセルアレイを含む。 $n$ 個のメモリセルアレイは、1つの行アドレス信号および1つの列アドレス信号の供与に答して、各々が $n$ 個のメモリセルアレイの対応する1つ内にストアされた $n$ 個の画素データを出力する。 $n$ 個の画素データは、画面において垂直方向に置かれた複数の画素を規定する。この画像データ処理装置は、さらに、シリアルクロック信号に答して、画面において水平方向に置かれた画素についての画素データを指定するための列アドレス信号をシリアルに出力するアドレス信号発生手段を含む。

【0029】請求項11の発明に係る画像データ処理装置は、画面内の画素を規定するための画素データを記憶するための $n$ 個( $n \geq 2$ )のメモリセルアレイを含む。 $n$ 個のメモリセルアレイは、1つの行アドレス信号および1つの列アドレス信号の供与に答して、各々が $n$ 個のメモリセルアレイの対応する1つ内にストアされた $n$ 個の画素データを出力する。 $n$ 個の画素データは、画面において水平方向に置かれた複数の画素を規定する。この画像データ処理装置は、さらに、シリアルクロック信号に答して、画面において垂直方向に置かれた画素についての画素データを指定するための列アドレス信号をシリアルに出力するアドレス信号発生手段を含む。

【0030】請求項12の発明に係る画像データ処理方法は、画面を形成する画素を規定する複数のマクロブロックデータをパイプライン処理の下で符号化する。この画像データ処理方法は、マクロブロックデータについて離散コサイン変換処理および量子化処理を実行し、画素符号を生成するステップと、生成された画素符号について可変長符号化処理を実行し、可変長符号を生成するステップと、生成された可変長符号を結合し、可変長符号列を生成するステップとを含む。

【0031】請求項13の発明に係る画像データ処理方法は、画面を形成する画素を規定する複数の可変長符号を含む可変長符号列をパイプライン処理の下で復号化する。この画像データ処理方法は、可変長符号列から前記可変長符号を抽出するステップと、抽出された可変長符号について可変長復号化処理を実行し、画素符号を生成するステップと、画素符号について逆量子化処理および

逆離散コサイン変換処理を実行し、画面を形成する画素を規定するマクロブロックデータを生成するステップとを含む。

【0032】請求項14の発明に係る画像データ処理方法は、画面内の画素を規定する複数の第1画素データを記憶する記憶手段に第1画素データをマッピングさせる。この画像データ処理方法は、第1画素データの中から2次元的に隣接しかつ正方形に近い矩形領域に含まれる複数の第2画素データを決定する第1ステップと、第2画素データを1つのデータとして記憶手段の1つのアドレスを第2画素データに与える第2ステップと、第2画素データのアドレスを用いて第2画素データを記憶手段からまたは記憶手段へ転送する第3ステップとを含む。

【0033】請求項15の発明に係る画像データ処理方法は、画面内の画素を規定するための互いに関連する第1および第2色差画素データを記憶する記憶手段に第1および第2色差画素データをマッピングさせる。この画素データ処理方法は、第1および第2色差画素データを転送単位で交互に記憶手段にマッピングする第1ステップと、第1または第2色差データを転送単位で記憶手段からまたは記憶手段へ転送する第2ステップとを含む。

【0034】請求項16の発明に係る画像データ処理方法は、画面内の画素を規定するための互いに連関する第1および第2色差画素データを記憶する記憶手段に第1および第2色差画素データをマッピングさせる。この画像データ処理方法は、第1および第2画素データを同数ずつ合わせた第3色差画素データを1つのデータとして記憶手段にマッピングさせる第1ステップと、第3色差画素データを1つのデータとして前記記憶手段からまたは記憶手段へ転送する第2ステップとを含む。

【0035】請求項17の発明に係る画像データ処理装置は、圧縮されるべき画素データを記憶する第1の画素データ記憶手段と、第1の画素データ記憶手段に記憶された画素データを伝送する第2の画素データバスと、第1の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて動き予測用参照データを抽出し、かつ、動き予測用参照データを出力する第1および第2のデータポートを有する画素プロセッサと、画素プロセッサの第2のデータポートから出力された動き予測用参照データを伝送する第2の画素データバスと、第2の画素データバスを介して伝送された動き予測用参照データを記憶する第2の画素データ記憶手段と、第2の画素データ記憶手段に記憶され、第2の画素データバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動きベクトルを生成する動き予測ユニットと、第1および第2画素データバス、画素プロセッサ、および動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0036】請求項18の発明に係る画像データ処理装置は、請求項17の構成に加え、パイプライン制御プロセッサは、画素プロセッサの第1および第2のデータポートの出力制御信号を出力するシステム制御器をさらに含む。

【0037】請求項19の発明に係る画像データ処理装置は、圧縮されるべき画素データを記憶する第1の画素データ記憶手段と、第1の画素データ記憶手段に記憶された画素データを伝送する第1の画素データバスと、第1の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて動き予測用参照データを抽出し、かつ、抽出した動き予測用参照データを出力する第1のデータポートと、抽出した動き予測用参照データをそれぞれ分割して出力する複数の第2のデータポートとを有する画素プロセッサと、第2のデータポートごとに対応して設けられ、第2のデータポートから出力された動き予測用参照データを伝送する複数の第2の画素データバスと、第2のデータポートごとに対応して設けられ、第2の画素データバスを介して伝送された動き予測用参照データを記憶する複数の第2の画素データ記憶手段と、第2のデータポートごとに対応して設けられ、第2の画素データ記憶手段から第2のデータバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動きベクトルを生成する動き予測ユニットと、第1の画素データバス、画素プロセッサ、複数の第2の画素データバス、および複数の動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0038】請求項20の発明に係る画像データ処理装置は、圧縮されるべき画素データを記憶する第1の画素データ記憶手段と、第1の画素データ記憶手段に記憶された画素データを伝送する第1の画素データバスと、第1の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて動き予測用参照データを抽出し、かつ、動き予測用参照データを出力する第1のデータポートと、動き予測用参照データの種類に応じて動き予測用参照データを分割して出力する複数の第2データポートとを有する画素プロセッサと、第2のデータポートごとに対応して設けられ、第2のデータポートから出力された動き予測用参照データを伝送する複数の第2の画素データバスと、第2のデータポートごとに対応して設けられ、第2の画素データバスを介して伝送された動き予測用参照データを記憶する複数の第2の画素データ記憶手段と、複数の第2の画素データ記憶手段と接続されるアドレスバスと、第2のデータポートごとに対応して設けられ、第2の画素データ記憶手段に記憶され、第2の画素データバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動き予測用参照データの種類に応じた動きベクトルを生成する複数の動き予測ユニットと、第1の画素データバス、画

素プロセッサ、複数の第2の画素データバス、アドレスバス、および複数の動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0039】請求項21の発明に係る画像データ処理装置は、圧縮されるべき画素データを記憶する第1の画素データ記憶手段と、第1の画素データ記憶手段に記憶された画素データを伝送する第1の画素データバスと、第1の画素データバスを介して伝送された画素データを受け、伝送された画素データを用いて種類の異なる動き予測用参照データを抽出し、かつ、動き予測用参照データを出力する第1のデータポートと、動き予測用参照データの種類に応じて動き予測用参照データを出力する第2のデータポートとを有する複数の画素プロセッサと、画素プロセッサごとに対応して設けられ、第2のデータポートから出力された動き予測用参照データを伝送する複数の第2の画素データバスと、画素プロセッサごとに対応して設けられ、第2の画素データバスを介して伝送された動き予測用参照データを記憶する第2の画素データ記憶手段と、画素プロセッサごとに対応して設けられ、第2の画素データ記憶手段に記憶され、第2の画素データバスを介して伝送された動き予測用参照データを用いて動き予測処理を実行し、動きベクトルを生成する複数の動き予測ユニットと、第1の画素データバス、複数の画素プロセッサ、複数の第2の画素データバス、および複数の動き予測ユニットについてのパイプライン処理を制御するパイプライン制御プロセッサとを含む。

【0040】請求項22の発明に係る画像データ処理装置は、請求項19ないし請求項21の構成に加え、複数の第2の画素データ記憶手段に記憶される動き予測用参照データは、輝度成分と色差成分との種類の違いによって、それぞれ異なる第2の画素データ記憶手段に記憶される。

【0041】請求項23の発明に係る画像データ処理装置は、画像データ圧縮および／または画像データ伸長のための予め定められた処理および画像データ転送についての並列動作を制御する制御プロセッサと、各々が制御プロセッサから与えられる制御信号に応答して、予め定められた処理および画像データ転送の実行を個々に命令する複数の実行命令手段と、制御プロセッサと複数の記憶命令手段との間でデータを転送する第1データバスと、複数の実行命令手段との間でデータを転送する第2データバスとを含む。

【0042】請求項24の発明に係る画像データ処理装置は、画像データ圧縮および／または画像データ伸長のための離散コサイン変換処理および／または逆離散コサイン変換処理、および、量子化処理および／または逆量子化処理を実行する画像処理手段と、画像データ専用設けられた少なくとも2つのインタフェース手段と、画像処理手段により処理された画像データ圧縮および／ま

たは画像データ伸長のためのデータを記憶する記憶手段と、インタフェース手段と記憶手段との間でデータを転送する1つのデータバスとを含む。

【0043】請求項25の発明に係る画像データ処理装置は、画像データ圧縮および／または画像データ伸長のための離散コサイン変換処理および／または逆離散コサイン変換処理、および、量子化処理および／または逆量子化処理を実行する画像処理手段と、画像データ専用で設けられた少なくとも2つのインタフェース手段と、画像処理手段より処理された画像データ圧縮および／または画像データ伸長のためのデータを記憶する記憶手段と、インタフェース手段ごとに設けられ、インタフェース手段の各々と記憶手段との間でデータを転送する複数のデータバスとを含む。

【0044】

【作用】請求項1の発明における画像データ処理装置では、画素プロセッサが画素データバスを介して伝送された画素データに対して離散コサイン変換処理および量子化処理を実行し、一方、可変長符号化プロセッサが画素符号バスを介して伝送された画素符号に対して可変長符号化処理を実行する。パイプライン制御プロセッサは、これらのプロセッサによる処理およびバスを介してのデータ転送におけるパイプライン処理を制御するので、画像データの圧縮処理が高速に行なわれ得る。

【0045】請求項2の発明における画像データ処理装置では、可変長復号化プロセッサが可変長符号バスを介して伝送された可変長符号に対し可変長復号化処理を実行し、一方、画素プロセッサが画素符号バスを介して伝送された画素符号に対し逆量子化処理および逆離散コサイン変換処理を実行する。パイプライン制御プロセッサは、これらのプロセッサによる処理およびバスを介してのデータ転送におけるパイプライン処理を制御するので、画像データの伸張処理が高速に行なわれ得る。

【0046】請求項3の発明における画像データ処理装置では、パイプライン制御プロセッサが、画素プロセッサ、可変長プロセッサ、第1および第2のデータバスについてのパイプライン処理を制御するので、画像データの圧縮および／または伸張処理が高速に行なわれ得る。

【0047】請求項4の発明における画像データ処理装置では、アクセス制御手段が第1ないし第4のアクセス手段に対しアクセス動作の開始を個々に制御する。したがって、第1ないし第4の記憶手段に対するアクセスが個々に行なわれ得るので、画像データ処理において使用されるデータが高速に転送され、画像データ処理が高速に行なわれ得る。

【0048】請求項5の発明における画像データ処理装置では、制御プロセッサが画像データ圧縮および／または画像データ伸張のための複数の予め定められた処理についてのパイプライン処理を制御するので、画像データ処理が高速に行なわれ得る。

【0049】請求項6の発明における画像データ処理装置では、パイプライン処理制御プロセッサが画像データ圧縮および／または画像データ伸張のための離散コサイン変換処理、量子化処理および可変長データ処理についてのパイプライン処理を制御するので、画像データ処理が高速に行なわれ得る。

【0050】請求項7の発明における画像データ処理装置では、制御プロセッサが画像データ圧縮および／または画像データ伸張のための複数の予め定められた処理および画像データ転送についての並列動作を制御する。複数の実行命令手段が、制御プロセッサから与えられる制御信号にตอบสนองして、これらの動作の実行を個々に命令するので、画像データ処理が高速に行なわれ得る。

【0051】請求項8の発明における画像データ処理装置では、選択手段が、読出手段から出力される等長処理符号フラグにตอบสนองして、可変長符号および等長符号の一方を選択するので、プログラムによる判断処理が極めて簡便化され、画像データ処理が高速に行なわれ得る。

【0052】請求項9の発明における画像データ処理装置では、選択手段が、読出手段から出力される等長処理フラグにตอบสนองして、ランデータおよびレベルデータならびに復号データの一方を選択するので、プログラムによる判断処理が極めて簡便化され、画像データ処理が高速に行なわれ得る。

【0053】請求項10の発明における画像データ処理装置では、1つの行アドレス信号および1つの列アドレス信号にตอบสนองしてn個のメモリアルレイから読出されるn個の画素データが、画面において垂直方向に置かれた複数の画素を規定している。アドレス信号発生手段が、シリアルクロック信号にตอบสนองして、列アドレス信号をシリアルに出力するので、画面内の所望の領域についての画素データを短時間でアクセスできる。したがって、画像データ処理が高速に行なわれ得る。

【0054】請求項11の発明における画像データ処理装置では、1つの行アドレス信号および1つの列アドレス信号にตอบสนองしてn個のメモリアルレイから読出されるn個の画素データが、画面において水平方向に置かれた複数の画素を規定している。アドレス信号発生手段が、シリアルクロック信号にตอบสนองして、列アドレス信号をシリアルに出力するので、画面内の所望の領域についての画素データを短時間でアクセスできる。したがって、画像データ処理が高速に行なわれ得る。

【0055】請求項12の発明における画像データ処理方法では、複数のマクロブロックデータについてのすべての処理が、パイプライン処理の下で行なわれるので、画像データの圧縮処理が高速に行なわれ得る。

【0056】請求項13の発明における画像データ処理方法では、複数の可変長符号を含む可変長符号列についての復号化処理がパイプライン処理の下で行なわれるので、画像データの伸張処理が高速に行なわれ得る。

【0057】請求項14の発明における画像データ処理方法では、2次元的に隣接し、かつ正方形に近い矩形領域に含まれる複数の第2画素データを1つのデータとして、1つのアドレスを与えて転送しているので、正方形に近い矩形領域内の第1画素データを転送する際の転送回数が削減される。

【0058】請求項15の発明における画像データ処理方法では、互いに関連する第1および第2色差画素データを転送単位で交互にマッピングさせ、この転送単位で第1または第2の色差データを転送しているので、1回のアドレス生成で所定範囲の第1および第2色差画素データを転送することができる。

【0059】請求項16の発明における画像データ処理方法では、互いに連関を有する第1および第2色差画素データを同数ずつ合わせた第3色差画素データを1つのデータとして記憶手段にマッピングさせ、この第3色差画素データを1つのデータとして転送しているので、1回のアドレス生成で所定範囲の第1および第2色差画素データを転送することができる。

【0060】請求項17ないし請求項18の発明における画像データ処理装置では、画素プロセッサが動き予測用参照データを第1のデータポートと、第2のデータポートとにより出力し、第1の画素データ記憶手段と第2の画素データ記憶手段にそれぞれ記憶させ、第2の画素記憶手段に記憶された動き予測用参照データは、第2の画素データバスを介して動き予測ユニットに伝送され、動き予測ユニットで動き予測処理を実行し、動きベクトルを生成する。

【0061】請求項19ないし請求項20の発明における画像データ処理装置では、画素プロセッサが、複数の第2のデータポートを有し、複数の第2のデータポートごとに对应して設けられた複数の第2の画素データバスが、動き予測用参照データを分割して転送し、それぞれの第2画素データバスに接続される第2の画素データ記憶手段に分割された動き予測用参照データが記憶され、それぞれの第2の画素データバスに接続される動き予測ユニットで動き予測処理が実行され、動きベクトルが生成される。

【0062】請求項21の発明における画像データ処理装置では、複数の画素プロセッサが、それぞれ第2のデータポートを有し、それぞれの第2のデータポートに対応して設けられた第2の画素データバスが、動き予測用参照データを分割して転送し、それぞれの第2画素データバスに接続される第2の画素データ記憶手段に分割された動き予測用参照データが記憶され、それぞれの第2の画素データバスに接続される動き予測ユニットで動き予測処理を実行し、動きベクトルを生成する。

【0063】請求項22の発明における画像データ処理装置では、複数の第2の画素データ記憶手段に輝度成分と色差成分との種類の違いに応じた種類の異なる動き予

測用参照データが記憶される。

【0064】請求項23の発明における画像データ処理装置では、画素プロセッサが画像データ圧縮および／または画像データ伸長のための複数の予め定められた処理および画像データ転送についての制御をする。複数の実行命令手段は、制御プロセッサから与えられる制御信号にตอบสนองして、これらの動作の実行を個々に命令するとともに、第1および第2データバスにより制御プロセッサと複数の実行命令手段との間および複数の実行命令手段との間でデータ転送を並列に実行することができるので、画像データ処理が高速に行なわれ得る。

【0065】請求項24ないし請求項25の発明における画像データ処理装置では、少なくとも2つのインタフェース手段によりデータを並列に外部装置へ転送することができるので、画像データ処理が高速に行なわれ得る。

【0066】

【実施例】以下では、この発明の第1ないし第15実施例を示す画像圧縮／伸張処理装置（または画像圧縮／伸張処理システム）が記載される。最初にこれらの実施例におけるシステム構成が説明され、その後システムを構成する内部構成が説明される。

【0067】1. システム構成

(1) 第1実施例

図1は、この発明の第1実施例を示す画像圧縮／伸張処理装置101のブロック図である。図1を参照して、画像圧縮／伸張処理装置101は、ホストコンピュータ93との入出力のためのホストインターフェイス（I/F）回路1と、2つのプロセッサ（図示せず）を備えたコントロールユニット2と、DCTおよび量子化のためのピクセルプロセッシングユニット3と、動き予測（または検出）ユニット41と、処理されるべき画像データを記憶するフレームバッファメモリ51と、コードデータを記憶するバッファメモリ6と、様々な変換処理において必要なテーブルデータを記憶するワークメモリ7と、テレビカメラ91からの画像データを記憶しおよび／または記憶された画像データを表示装置（CRT）92に与えるための入出力メモリ81とを含む。

【0068】ホストバスHBは、24ビット（図中「24b」により示す）のバス幅を有しており、ホストインターフェイス回路1、コントロールユニット2、ピクセルプロセッシングユニット3、バッファメモリ6およびワークメモリ7の間のデータ転送のために設けられる。ピクセルデータバスPBは、32ビット（32b）のバス幅を有し、コントロールユニット2、ピクセルプロセッシングユニット3、動き予測ユニット41およびフレームバッファメモリ51の間のデータ転送のために設けられる。コードデータバスCBは、16ビット（16b）のバス幅を有し、コントロールユニット2、ピクセルプロセッシングユニット3およびバッファメモリ6の間のコー

ドデータ転送のために設けられる。入出力バス I/O B は、24ビット(24b)のバス幅を有し、コントロールユニット2と入出力メモリ81との間のデータ転送のために設けられる。

【0069】ホストインターフェイス回路1は、汎用ロジックLSI(ディスクリート)またはPLDまたはFPGAなどのようなプログラマブルロジックデバイスにより構成された論理回路を備えている。フレームバッファメモリ5は、主として、圧縮されるべき画像データおよび参照されるべき画像データを一時的に記憶するために設けられる。フレームバッファメモリ51として、スタティックランダムアクセスメモリ(SRAM)、ダイナミックランダムアクセスメモリ(DRAM)、シンクロナスDRAMおよびキャッシュDRAMなどのような大容量メモリが用いられる。

【0070】バッファメモリ6は、画像の符号化により得られたビットストリームデータおよびラン/レベルデータを一時的に記憶するために設けられる。バッファメモリ6は、ファーストインファーストアウト(FIFO)メモリにより構成されるが、場合により、DRAMまたはSRAMが用いられる。

【0071】ワークメモリ7は、DCT/逆DCTテーブルデータ、量子化/逆量子化テーブルデータ、可変長処理のためのハフマンテーブルデータ、コントロールユニット2およびピクセルプロセッシングユニット3における処理のためのプログラム(マイクロコード)、初期設定用データなどを記憶するために設けられる。ワークメモリ7は、SRAMにより構成される。

【0072】入出力メモリ81は、テレビカメラ91および/または表示装置92のための画像データを記憶するために設けられる。入出力メモリ81は、ビデオRAMにより構成される。

【0073】コントロールユニット2は、全体制御のためのマイクロプロセッサ(図示せず)と、可変長処理のためのプロセッサ(図示せず)とを備えている。全体制御のためのプロセッサは、画像圧縮におけるDCT、量子化、可変長符号化についてのパイプライン処理ならびに画像伸張における可変長復号化、逆量子化および逆DCTのためのパイプライン処理を制御する。

【0074】ピクセルプロセッシングユニット3は、画像圧縮におけるDCTおよび量子化処理等の画素演算を実行し、一方、画像伸張において逆量子化処理および逆DCT処理等を実行する。

【0075】動き予測ユニット41は、片方向および両方向についてのフレーム間予測などのような動き検出処理を実行する。

【0076】図2は、図1に示した画像圧縮/伸張処理装置101における画像圧縮処理を示す処理ダイアグラムである。図2では、一例として、MPEG規格において規定された符号化方式が示されている。

【0077】図2を参照して、圧縮されるべき画像データIDは、減算器921および切替器922を介してDCT処理器923に与えられる。DCT処理の後、量子化器924により量子化処理が行なわれる。量子化されたデータは可変長符号化処理器925に与えられ、可変長符号処理がなされた後、符号化されたデータがバッファ926を介して圧縮された画像データVDとして出力される。

【0078】一方、量子化されたデータは逆量子化器および逆DCT処理器にも与えられ、動き予測のための逆量子化処理および逆DCT処理が行なわれる。逆DCT処理器の出力データは加算器929に与えられる。

【0079】画像データIDは動き予測器930にも与えられ、予測処理されたデータは加算器929に与えられる。加算器929の出力データは切替器931を介して減算器921および動き予測器930に与えられる。切替器922および931による切替動作により、動き予測を考慮に入れた画像圧縮処理が行なわれる。

【0080】図3は、図1に示した画像圧縮/伸張処理装置101における画像伸張処理を示す処理ダイアグラムである。図3を参照して、可変長符号データVDは、バッファ911を介して可変長復号化処理器912に与えられる。可変長復号化処理の後、コードデータが逆量子化器913に与えられ、逆量子化処理が行なわれる。逆量子化処理の後、逆DCT処理器914により逆DCT処理が行なわれ、処理されたデータが加算器915に与えられる。加算器915は、その出力データについて動き予測処理されたデータについても加算処理を行ない、伸張された画像データIDを出力する。

【0081】図2および図3に示した処理は、基本的にMPEG規格において規定されているものであるが、これらの画像圧縮および画像伸張処理が図1に示した画像圧縮/伸張処理装置101において、後で説明するパイプライン処理の制御の下で効率的に行なわれ得る。

#### 【0082】(2) 第2実施例

図4は、この発明の第2実施例を示す画像圧縮/伸張処理装置102のブロック図である。図1に示した画像圧縮/伸張処理装置101と比較すると、図4に示した画像圧縮/伸張処理装置102は、動き予測ユニット41が除かれている。すなわち、図4に示した実施例では、動画の復号処理および静止画の符号化処理および復号化処理が行なわれ得る。動画の復号処理は、符号化処理の逆処理であるが、動き予測処理が含まれておらず、動きベクトルを受けて予測画像を生成する動き復号処理が追加される。

#### 【0083】(3) 第3実施例

図5は、この発明の第3実施例を示す画像圧縮/伸張処理装置103のブロック図である。図5を参照して、図1に示した画像圧縮/伸張処理装置101と比較すると、この画像圧縮/伸張処理装置103は、ピクセルデ

ータバスPBに接続された入出力メモリ82を備えている。すなわち、入出力メモリ82は、ピクセルデータバスPBを介してコントロールユニット2に接続される。これにより、コントロールユニット2において、入出力メモリ82およびフレームバッファメモリ6が共通のアドレス空間上にマッピングされることとなり、コントロールユニット2における入出力用インターフェイス回路（入出力ポート）の数を減少させることができる。

#### 【0084】（4） 第4実施例

図6は、この発明の第4実施例を示す画像圧縮／伸張処理装置104のブロック図である。図6を参照して、図1に示した画像圧縮／伸張処理装置101と比較すると、画像圧縮／伸張処理装置104は、前方向および後ろ方向についての動き予測を並列に（または同時に）実行することができる両方向動き予測ユニット42を備えている。すなわち、両方向動き予測ユニット42は、前方向についての動き予測処理のための動き予測ユニット43と、後ろ方向についての動き予測処理のための動き予測ユニット44とを備える。動き予測ユニット43および44は、ピクセルデータバスPBに接続される。

【0085】2つの動き予測ユニット43および44を用いて前方向および後ろ方向の動き予測処理が並列に、すなわち同時に実行され得るので、両方向動き予測処理が短時間で効率よく行なわれ得る。

#### 【0086】（5） 第5実施例

図7は、この発明の第5実施例を示す画像圧縮／伸張処理装置105のブロック図である。図1に示した画像圧縮／伸張処理装置101と比較すると、この画像圧縮／伸張処理装置105は、両方向についての動き予測処理を同時に行なうことができる動き予測ユニット45と、各々がピクセルデータバスPBに接続された2つのフレームバッファメモリ52および53とを備えている。動き予測ユニット45は、両方向の予測処理を同時に実行することができるので、前および後ろの一方の予測処理に要する時間で両方向予測処理が行なわれ得る。動き予測ユニット45は、2つの入出力ポートを有しており、一方の入出力ポートはピクセルデータバスPBに接続され、他方の入出力ポートはローカルバスLB1を介してフレームバッファメモリ53に接続される。

【0087】2つのフレームバッファメモリ52および53の一方は、前方向の動き予測処理用のフレームメモリとして使用され、他方のフレームバッファメモリは後ろ方向の動き予測処理用のフレームメモリとして使用される。リファレンス画像データは、ピクセルデータバスPBおよびローカルバスLB1を介して転送される。テンプレート画像データおよび動きベクトルデータは、第2のローカルバスLB2を介して動き予測ユニット45からコントロールユニット2に転送される。

#### 【0088】（6） 第6実施例

図8は、この発明の第6実施例を示す画像圧縮／伸張処

理装置106のブロック図である。図1に示した画像圧縮／伸張処理装置101と比較すると、この画像圧縮／伸張処理装置106は、2つの入出力ポートを有する動き予測ユニット46を備える。動き予測ユニット46は、第1の入出力ポートがピクセルデータバスPBに接続され、一方、第2の入出力ポートはローカルバスLB3を介してコントロールユニット2に接続される。動き予測ユニット46は、動き予測処理により得られる動きベクトルデータをローカルバスLB3を介してコントロールユニット2に直接与える。動きベクトルデータは8ビットの信号により構成されるので、ローカルバスLB3は8ビットのバス幅を有している。ローカルバスLB3を介して動きベクトルデータが直接にコントロールユニット2に与えられ得るので、画像圧縮／伸張処理装置106における並列処理がより向上され、その結果、画像圧縮／伸張処理がより高速で効率的に行なわれ得る。

【0089】図4ないし図8に示した画像圧縮／伸張処理装置102ないし106は、いずれも基本的に図1に示した画像圧縮／伸張処理装置101と同様の動作を行なう。すなわち、第2ないし第6のいずれの実施例においても、図2および図3に示した画像圧縮／伸張処理が、パイプライン処理のための制御の下で実行される。これにより、画像圧縮／伸張処理が高速で効率的に行なわれ得ることが指摘される。なお、パイプライン処理についての詳細は、後で図11および図12を参照して説明される。

【0090】次に、上記の第6実施例の画像圧縮／伸張処理装置106の画像データ転送処理におけるピクセルデータバスPBを介してデータ転送を行なう部分の画像符号化処理における画像データ転送、および1つのマクロブロックの画像データを処理する際の画像データ転送量について具体的に説明する。

【0091】ここで、符号化対象画像データは、既にフレームバッファメモリ51に保持されているものと仮定する。また、データ転送量を求める前提として、画像フォーマットは4:2:0、動き検出範囲は±16画素、ストラクチャーはフレームとする。

【0092】なお、各ユニットはコントロールユニット2の制御によって、ピクセルデータバスPBへの画像データの出力およびピクセルデータバスPBからの画像データの入力を実行する。各ユニットの動作タイミングもコントロールユニット2によって管理される。

【0093】まず、原画像データをコントロールユニット2からピクセルデータバスPBを介してフレームバッファメモリ51へ転送する。このとき、転送される画像データ量は、384画素である。

【0094】次に、動き予測を行なうために動き検索範囲の参照画像（再生画像）の輝度成分をフレームバッファメモリ51からピクセルデータバスPBを介して動き

予測ユニット46へ転送する。このとき、転送する画像データ量は、1面の参照画像につき768画素である。よって、両方向予測時には、2面分の1536画素を転送する必要がある。

【0095】次に、動き予測を行なうために符号化対象画像の輝度成分をフレームバッファメモリ51からピクセルデータバスPBを介してコントロールユニット2に転送する。次に、上記輝度成分をコントロールユニット2からローカルバスLB3を介して動き予測ユニット46へ転送する。このとき、転送する画像データ量は、256画素である。

【0096】動き予測処理が終了し、その結果を用いた符号化判定によってフレーム間予測を行なう場合、符号化処理のために予測画像（再生画像）データをフレームバッファメモリ51からピクセルデータバスPBを介してピクセルプロセッシングユニット3へ転送する。このとき、転送する画像データ量は、1面の予測画像につき451画素である。よって、両方向予測時には、2面分の902画素を転送する必要がある。

【0097】次に、符号化対象画像データをフレームバッファメモリ51からピクセルデータバスPBを介してピクセルプロセッシングユニット3へ転送する。このとき、転送する画像データ量は、384画素である。

【0098】符号化終了後、フレーム内符号化画像および片方向予測画像に関して再生画像データをピクセルプロセッシングユニット3からピクセルデータバスPBを介してフレームバッファメモリ51へ転送する。このとき、転送する画像データ量は384画素である。

【0099】上記のデータ転送量は、再生画像データの転送を除いたすべての転送を行なう両方向予測時に最大となり、3462画素となる。

【0100】ここで、画質を向上させるために動き検索範囲を広げた場合、動き検索範囲の参照画像の輝度成分の画像データ転送量が増大する。たとえば、動き検索範囲を±32画素に拡大した場合、片方向予測時に1280画素、両方向予測時に2560画素の画像データを転送する必要がある。

【0101】また、デジタル画像データの場合には、画像データの色差成分のデータ量によって異なるデータのフォーマットが存在する。すなわち、元の画像データ量を維持した4:4:4フォーマット、色差成分を半分に減少させた4:2:2フォーマット、および色差成分を4分の1に減少させた4:2:0フォーマットがある。したがって、取り扱う画像フォーマットを変更した場合、動き予測に関する画像データ転送量以外の画像データ転送量が増大する。たとえば、フォーマット4:4:4にした場合、原画像データの転送、符号化対象画像データのピクセルプロセッシングユニットへの転送、および再生画像データの転送については、2倍の768画素となり、予測画像データの転送については予測参照画

像1面につき2倍弱の867画素となる。

【0102】上記のように、高精細画像等のように処理する画像の画素数が増加した場合、1マクロブロックの処理にかかる時間が増大する。システムクロックを一定とした場合、たとえば、1マクロブロックの処理をする際のデータ転送量の増加により、システムクロックの1サイクルで処理できるデータ転送量はハードウェアの性能により制限される。したがって、上記のデータを転送処理するためにはシステムクロックのサイクル数が増加する。

【0103】以上のように、データ転送量が非常に多く、さらに、画素数の拡大および高画質化を要求するに従ってデータ転送量が増加する場合には、1マクロブロックの符号化処理を単位にパイプラインを組むと、符号化演算処理に要するサイクル数と比べて、符号化演算処理を実行するために必要なデータ転送処理に要するサイクル数が多いため、データ転送処理が全体の処理速度を制限する。以下、データ転送処理を効率化し、データ転送速度により全体の処理速度が制限を受けない画像圧縮／伸長処理装置について説明する。

#### 【0104】(7) 第7実施例

図83は、この発明の第7実施例を示す画像圧縮／伸長処理装置107のブロック図である。図83において、図8に示す第6実施例と同様の部分については同一番号を付し以下その説明を省略する。

【0105】図83を参照して、ピクセルデータバスPBは、32ビットのデータ幅を有し、コントロールユニット23、ピクセルプロセッシングユニット33およびフレームバッファメモリ51の間のデータ転送のために設けられる。

【0106】ローカルデータバスLDBは、32ビットのデータ幅を有し、ピクセルプロセッシングユニット33、動き予測ユニット47およびローカルメモリ56の間のデータ転送のために設けられる。

【0107】ローカルメモリ56は、ピクセルプロセッシングユニット33から転送される動き予測に用いる再生した画像データの輝度成分を一時的に記憶するために設けられる。ローカルメモリ56としては、SRAM、DRAM、シンクロナスDRAMおよびキャッシュDRAM等の大容量メモリが用いられる。

【0108】コントロールユニット23に含まれる全体制御のためのマイクロプロセッサ（図示省略）は、コントロールユニット23、フレームバッファメモリ51、ピクセルプロセッシングユニット33の間の画像データ転送を制御し、さらに、ピクセルプロセッシングユニット33、動き予測ユニット47およびローカルメモリ56の間の画像データ転送を制御する。

【0109】ピクセルプロセッシングユニット33は、ピクセルデータバスPBに接続されるデータ入出力ポートP1とは別に、新たに画像データ用のデータ出力ポート



P2を具備する。データ出力ポートP2にはローカルデータバスLDBを介して動き予測ユニット47および新たに設けたローカルメモリ56が接続される。ピクセルプロセッシングユニット33のデータ出力ポートP2、動き予測ユニット47およびローカルメモリ56は、コントロールユニット23により制御され、ローカルデータバス61を介して画像データの転送を実行する。また、各転送タイミングもコントロールユニット23が管理する。

【0110】なお、ローカルデータバスLDBで扱う画像データは、ピクセルプロセッシングユニット33によってフレームバッファメモリ51からピクセルデータバスPBを介して転送された画像データから抽出された動き予測用参照データ（少なくとも画像データのうち輝度を示す情報を持つデータ、以降輝度成分と称す）である。この参照データは、データ入出力ポートP1からピクセルデータバスPBを介してフレームバッファメモリ51へ転送され記憶される。

【0111】また、動き予測ユニット47とコントロールユニット23との間には8ビットの専用のローカルバスLB4が設けられている。動き検出対象画像データは、コントロールユニット23から動き予測ユニット47へ転送される。動き検出結果を示す動きベクトルデータは、動き予測ユニット47からコントロールユニット23へ転送される。ピクセルデータバスPBに接続されるコントロールユニット23、フレームバッファメモリ51、およびピクセルプロセッシングユニット23は、上記の動きベクトルデータにより予測画像の生成とその予測画像の符号化を行なう。ピクセルプロセッシングユニット33は、符号化された画像データをコードバスCBへ出力する。

【0112】次に、図83を参照して、画像符号化処理における画像データ転送および1マクロブロックの画像データを処理する際の画像データ転送量について説明する。ここで、符号化対象画像データは、既にフレームバッファメモリ51に保持されており、動き検出に必要な参照（再生）画像の輝度成分も既にローカルメモリ56に保持されているものと仮定する。また、転送量を求める前提としては、画像フォーマットは4:2:0、動き検出範囲は±16画素、ストラクチャーはフレームとする。

【0113】まず、原画像データは、コントロールユニット23からフレームバッファメモリ51へピクセルデータバスPBを介して転送される。このとき、転送される画像データ量は384画素である。

【0114】次に、動き予測を行なうために、動き予測対象画像の輝度成分が、フレームバッファメモリ51からコントロールユニット23へピクセルデータバスPBを介して転送される。また、輝度成分は、ローカルバスLB4を介して動き検出ユニット47へ転送される。こ

のとき、転送される画像データ量は256画素である。

【0115】動き予測処理が終了し、その結果を用いた符号化判定によってフレーム間予測を行なう場合、符号化処理を行なうために、予測（再生）画像をフレームバッファメモリ51からピクセルプロセッシング33へピクセルデータバスPBを介して転送する。このとき、転送される画像データ量は予測画像1面につき451画素である。したがって、両方向予測時には、902画素を転送する必要がある。

【0116】次に、符号化対象画像データがフレームバッファメモリ51からピクセルプロセッシングユニット33へピクセルデータバスPBを介して転送される。このとき、転送される画像データ量は384画素である。

【0117】上記4つの画像データ転送と並列に、動き予測を行なうための動き検出範囲の画像の輝度成分がローカルメモリ56から動き検出ユニット47へローカルデータバスLDBを介して転送される。このとき、転送する画像データ量は参照画像1面につき768画素である。したがって、両方向予測時には、2面分の1536画素を転送する必要がある。

【0118】符号化終了後、フレーム内符号化画像および片方向予測画像に関しては、再生画像データがピクセルプロセッシングユニット33からピクセルデータバスPBを介してフレームバッファメモリ51へ転送される。このとき同時に、再生画像の輝度成分が、ローカルデータバスLDBを介してローカルメモリ56へ転送される。

【0119】このとき、コントロールユニット23は、ピクセルプロセッシングユニット33が再生画像データを内部の再生画像出力メモリ（たとえば、後述する図19に示す画像メモリ335）から出力するタイミングに同期して、ピクセルデータバスPBと接続されるポートP1を制御する出力制御信号を出力する。同時に、再生画像出力メモリから輝度データが出力されている間、コントロールユニット23は、ローカルデータバスLDBに接続されるポートP2を制御する出力制御信号を出力する。

【0120】また、ピクセルプロセッシング33では、コントロールユニット23からの命令もしくは内部メモリ（たとえば、後述する図19に示す制御器319内の内部メモリ）に蓄えられたシーケンスプログラムに従い、再生画像出力メモリから画像データが出力される。このとき、ピクセルデータバスPBにつながるポートP1は、コントロールユニット23から出力される出力制御信号に応答して、1マクロブロック分の画像データを出力する。また同時に、ローカルデータバスLDBに接続されるポートP2は、コントロールユニット23から出力される出力制御信号に応答して、1マクロブロック分の画像データの輝度成分のみを出力する。

【0121】上記の再生画像の転送処理では、転送され

る画像データ量は、ピクセルデータバスPBでは384画素であり、ローカルデータバスLDBでは256画素である。

【0122】上記のように、2つのデータバスへのデータ出力機能を再生画像を生成するピクセルプロセッシングユニット33に持たせ、ピクセルデータバスPBへの再生画像出力時に同期して、ローカルデータバスLDBへの再生画像出力が行なわれている。したがって、ピクセルプロセッシングユニット33内部の再生画像出力メモリ（図示省略）の制御が共有され、内部メモリ出力につながる各ポートに対してそれぞれ1ビットの出力制御信号のみでデータ転送を行なうことができる。この結果、コントロールユニット23から見たデータ転送制御が容易となり、かつ、再生画像の転送時以外はコントロールユニット23によりバスの分解が行なわれ、データ転送の並列処理が可能となる。

【0123】このときのデータ転送量は、両方向予測時に最大となり、ピクセルデータバスPBでは1926画素、ローカルデータバスLDBでは1536画素となる。したがって、分割した2つのデータバスを用いることにより、第6実施例に比べて1つのバスで転送するデータ量が削減され、実質的にデータ転送速度が向上し、画像圧縮／伸長処理装置の処理速度を向上することが可能となる。

#### 【0124】（8） 第8実施例

図84は、この発明の第8実施例を示す画像圧縮／伸長処理装置108のブロック図である。図84において、図83に示す画像圧縮／伸長処理装置と同一部分については同一番号を付し以下その説明を省略する。

【0125】ピクセルプロセッシングユニット34は、新たに2つの画像データの出力ポートP4、P5を具備する。また、画像データバスとしては、ピクセルデータバスPB、2つのローカルデータバスLDB1、LDB2の3つのデータバスが具備される。各ポートP3～P5の出力制御動作は、コントロールユニット24内のパイプライン制御プロセッサ（たとえば、後述する図9に示す全体制御プロセッサ11）に含まれるシステム制御器（たとえば、後述する図13に示すシステム制御器114）により出力される出力制御信号により行なわれる。

【0126】装置の機能を拡張して、動き検出範囲を±64画素に拡大した場合、片方向予測時でさえも2304画素の画像データ量を転送する必要がある。以下、動き検出範囲を±64画素に拡大し、片方向予測を行なう場合を仮定して説明する。図8に示す第6実施例の場合では、動き検出範囲の拡大に伴って画像データ転送量は4230画素となる。一方、第8実施例の場合は以下のようになる。第8実施例の場合、動き予測を行なうために動き検出範囲の画像の輝度成分を2分割して2つのデータバスを用いて転送する。つまり、ローカルメモリ56aから予測ユニット47aへローカルデータバスLDB1を用いて1280画素が転送されると同時に、ローカルメモリ56bから動き予測ユニット47bへローカルデータバスLDB2を用いて1280画素が転送される。このとき、データの区切りの部分のデータは各データバスLDB1、LDB2へ転送する必要があるため、1つのデータバスで転送する場合のデータ量である2304画素に対して2つのデータバスで転送するデータ量は、合計2560画素となる。つまり、1マクロブロック分の画素データ（256画素）だけ増加している。これは、参照データを分割する際、その分割されたそれぞれの参照データのつながりが認識できるようにするためである。

【0127】この場合、再生画像転送時には、再生画像データをピクセルプロセッシングユニット34からピクセルデータバスPBを用いてフレームバッファメモリ51へ転送し、同時に、ローカルデータバスLDB1およびLDB2を用いてローカルメモリ56aおよび56bへ再生画像を転送する。

【0128】このときのデータ転送量は、ピクセルデータバスPBでは1926画素、ローカルデータバスLDB1およびLDB2では各1280画素である。つまり、画像データバスを3分割することによって1つのバスで転送するデータ量が削減され、第6実施例に比べて実質的なデータ転送速度が2倍強に上がり、画像圧縮／伸長処理装置の処理速度を向上することが可能となる。

【0129】（9） 第9実施例

図85は、この発明の第9実施例を示す画像圧縮／伸長処理装置109のブロック図である。図85において、図84に示す画像圧縮／伸長処理装置と同一部分については同一番号を付し以下その説明を省略する。

【0130】図85を参照して、第9実施例は、ローカルメモリ56cおよび56dに対して共通のアドレスバスABを用いた実施例である。アドレスバスABは、コントロールユニット25と接続され、コントロールユニット25からアドレス信号が出力される。

【0131】画像圧縮／伸長処理装置の拡張機能として両方向動き予測で動き検出範囲を±32画素とした場合、予測画像1面につき1280画素を転送する必要がある。以下、±32画素の範囲を動き検出し、両方向予測を行なうことを仮定し、画像データ転送について説明する。

【0132】まず、フレーム内符号化画像の場合のデータ転送について説明する。たとえば、ローカルメモリ56cに蓄えられた再生画像データと比べて、ローカルメモリ56dに蓄えられた再生画像データの方が新しい（時間的に後）場合、または最初の画像データを符号化する（両方のローカルメモリ56cおよび56dにデータが蓄えられていない）場合、コントロールユニット25、フレームバッファメモリ51、ピクセルプロセッシングユニット34、動き予測ユニット47a、ローカルメモリ56aから予測ユニット47bへローカルデータバスLDB2を用いて1280画素が転送されると同時に、ローカルメモリ56bから動き予測ユニット47cへローカルデータバスLDB1を用いて1280画素が転送される。このとき、データの区切りの部分のデータは各データバスLDB1、LDB2へ転送する必要があるため、1つのデータバスで転送する場合のデータ量である2304画素に対して2つのデータバスで転送するデータ量は、合計2560画素となる。つまり、1マクロブロック分の画素データ（256画素）だけ増加している。これは、参照データを分割する際、その分割されたそれぞれの参照データのつながりが認識できるようにするためである。

【0133】この場合、再生画像転送時には、再生画像データをピクセルプロセッシングユニット34からピクセルデータバスPBを用いてフレームバッファメモリ51へ転送し、同時に、ローカルデータバスLDB1およびLDB2を用いてローカルメモリ56aおよび56bへ再生画像を転送する。

メモリ 56c、ピクセルデータバス PB およびローカルデータバス LDB1 を用いて、第 7 実施例と同様にデータ転送を行なう。再生画像の輝度信号は、動き予測参照画像データとして用いるためローカルメモリ 56c に蓄えられる。このとき、コントロールユニット 25 は、チップセレクト信号によりローカルメモリ 56c を選択してデータ書込制御を行ない、ピクセルプロセッシングユニット 34 のローカルデータバス LDB1 側の出力ポート P4 に出力制御信号を与える。

【0133】次に、片方向予測画像の場合のデータ転送について説明する。たとえば、ローカルメモリ 56d に蓄えられた再生画像データと比べてローカルメモリ 56c に蓄えられた再生画像データの方が新しい（時間的に後）場合、ローカルメモリ 56c に蓄えられた再生画像データを前方向予測参照画像データとして、動き予測ユニット 47a、ローカルメモリ 56c およびローカルデータバス LDB1 を用いて動き予測探索範囲の画像データを転送する。このとき、動き予測探索範囲の再生画像の輝度信号を転送するときのみ、コントロールユニット 25 は、チップセレクト信号によりローカルメモリ 56c を選択してデータ出力制御を行ない、動き予測ユニット 47a のローカルデータバス LDB1 側の入力ポートの入力制御信号を与える。

【0134】上記以外の画像転送（たとえば、原画像転送、動き予測用の符号化対象画像転送、前方向予測画像転送、符号化対象画像転送および再生画像転送）については、コントロールユニット 25、フレームバッファメモリ 51、ピクセルプロセッシングユニット 34、ローカルメモリ 56d、ピクセルデータバス PB およびローカルデータバス LDB2 を用いて、第 7 実施例と同様に転送する。このとき、データ転送量は、ピクセルデータバス PB では両方向予測時に最大で 1926 画素であり、ローカルデータバス LDB1 および LDB2 では最大で各 1280 画素である。ここで、再生画像の輝度信号は、動き予測参照画像データとしてローカルメモリ 56d に蓄えられる。このとき、コントロールユニット 25 は、再生画像の輝度信号を転送するときのみ、チップセレクト信号によりローカルメモリ 56d を選択してデータ書込制御を行ない、ピクセルプロセッシングユニット 34 のローカルデータバス LDB2 側の出力ポート P5 に出力信号を与える。ここで、ローカルメモリ 56d のアドレッシングは、ローカルメモリ 56c のアドレッシングと同様に行なう。

【0135】次に、両方向予測画像の場合のデータ転送について説明する。たとえば、ローカルメモリ 56c に蓄えられた再生画像データと比べてローカルメモリ 56d に蓄えられた再生画像データの方が新しい（時間的に後）場合、ローカルメモリ 56c に蓄えられた再生画像データを前方向予測参照画像データとして、動き予測ユニット 47a、ローカルメモリ 56c およびローカルデ

ータバス LDB1 を用いて動き予測探索範囲の画像転送を行なう。このとき同時に、ローカルメモリ 56d に蓄えられた再生画像を後方向予測参照画像として、動き予測ユニット 47b、ローカルメモリ 56d およびローカルデータバス LDB2 を用いて動き予測探索範囲の画像転送を行なう。この場合、動き予測探索範囲の再生画像の輝度信号を転送するときのみ、コントロールユニット 25 は、チップセレクト信号によりローカルメモリ 56c および 56d を選択するため、共通のアドレスバス AB を用いて同じアドレス信号を与えて共通のデータ出力制御を行なう。また、コントロールユニット 25 は、動き予測ユニット 47a および 47b のローカルデータバス LDB1 および LDB2 側の入力ポートの入力制御信号をそれぞれ与える。

【0136】上記以外の画像転送（たとえば、原画像転送、動き予測用の符号化対象画像転送、前方向予測画像転送、後方向予測画像転送および符号化対象画像転送）については、コントロールユニット 25、フレームバッファメモリ 51、ピクセルプロセッシングユニット 34 およびピクセルデータバス PB を用いて第 7 実施例と同様に画像データの転送を行なう。

【0137】また、動き予測対象のマクロブロックに対して前方向の動き検索範囲と後ろ方向の動き検索範囲とは、実際の画面上で同じ範囲である。したがって、ローカルメモリ 56c および 56d に対して共通のアドレッシングを行なうことにより、両方向の予測探索範囲を転送する際に共通のアドレスを用いて転送することが可能となる。つまり、ローカルメモリ 56c および 56d のチップセレクト信号を除いて、ローカルメモリ 56c および 56d に対するメモリ制御およびアドレス生成に関するハードウェアを共有化できるので、各メモリに対してアドレス生成器を持つ場合に比べて、データ転送量を増加させることなく、ハードウェア量を削減することが可能となる。

#### 【0138】（10） 第 10 実施例

図 86 は、この発明の第 10 実施例を示す画像圧縮／伸長処理装置 110 のブロック図である。図 86 において、図 85 に示す画像圧縮／伸長処理装置と同一部分については同一番号を付し以下その説明を省略する。

【0139】図 86 を参照して、第 10 の実施例では、図 85 に示したピクセルプロセッシングユニット 34 を 2 つのピクセルプロセッシングユニット 34a および 34b に分割した構成となっている。

【0140】画像圧縮／伸長処理装置の機能拡張として、両方向動き予測で  $\pm 32$  画素の範囲を動き検索する場合、予測画像 1 面につき 1280 画素を転送する必要がある。以下、 $\pm 32$  画素の範囲を動き検索し、両方向予測を行なうことを仮定し、画像データ転送について説明する。

【0141】まず、フレーム内符号化画像の場合のデー

タ転送について説明する。たとえば、ローカルメモリ56cに蓄えられた再生画像データと比べてローカルメモリ56dに蓄えられた再生画像データの方が新しい(時間的に後)場合、または最初の画像データを符号化する(両方のローカルメモリ56cおよび56dにデータが蓄えられていない)場合、コントロールユニット26、フレームバッファメモリ51、ピクセルプロセッシングユニット34、動き予測ユニット47a、ローカルメモリ56c、ピクセルデータバスPBおよびローカルデータバスLDB1を用いて、第7実施例と同様にデータ転送を行なう。再生画像の輝度信号は、動き予測参照画像データとして用いるためにローカルメモリ56cに蓄えられる。このとき、コントロールユニット26は、再生画像の輝度信号を転送するときのみチップセレクト信号によりローカルメモリ56cを選択してデータ書込制御を行なう。また、コントロールユニット26は、ピクセルプロセッシングユニット34aのローカルデータバスLDB1側の出力ポートP2aに出力信号を与える。

【0142】次に、片方向予測画像の場合のデータ転送について説明する。たとえば、ローカルメモリ56dに蓄えられた再生画像データと比べてローカルメモリ56cに蓄えられた再生画像データの方が新しい(時間的に後)場合、ローカルメモリ56cに蓄えられた再生画像データを前方向予測参照画像データとして動き予測ユニット47a、ローカルメモリ56cおよびローカルデータバスLDB1を用いて動き予測検索範囲の画像転送を行なう。このとき、コントロールユニット26は、動き予測検索範囲の再生画像の輝度信号を転送するときのみ、チップセレクト信号によりローカルメモリ56cを選択してデータ出力制御を行なう。また、コントロールユニット26は、動き予測ユニット47aのローカルデータバスLDB1側の入力ポートの入力制御信号を与える。

【0143】上記以外の画像転送(原画像転送、動き予測用の符号化対象画像転送、前方向予測画像転送、符号化対象画像転送および再生画像転送)については、コントロールユニット26、フレームバッファメモリ51、ピクセルプロセッシングユニット34b、ローカルメモリ56d、ピクセルデータバスPBおよびローカルデータバスLDB2を用いて第7実施例と同様に転送する。再生画像の輝度信号は、動き予測参照画像として用いるため、ローカルメモリ56dに蓄えられる。このとき、コントロールユニット26は、再生画像の輝度信号を転送するときのみ、チップセレクト信号によりローカルメモリ56dを選択してデータ書込制御を行なう。また、コントロールユニット26は、ピクセルプロセッシングユニット34bのローカルデータバスLDB2側の出力ポートP2bに出力信号を与える。ここで、ローカルメモリ56dのアドレッシングは、ローカルメモリ56cのアドレッシングと同様に行なう。

【0144】次に、両方向予測画像の場合のデータ転送について説明する。ローカルメモリ56cに蓄えられた再生画像データと比べてローカルメモリ56dに蓄えられた再生画像データの方が新しい(時間的に後)場合、ローカルメモリ56cに蓄えられた再生画像データを前方向予測参照画像データとして、動き予測ユニット47a、ローカルメモリ56cおよびローカルデータバスLDB1を用いて動き予測検索範囲の画像転送を行なう。このとき同時に、ローカルメモリ56dに蓄えられた再生画像データを後方向予測参照画像データとして、動き予測ユニット47b、ローカルメモリ56dおよびローカルデータバスLDB2を用いて、動き予測検索範囲の画像転送を行なう。このとき、コントロールユニット26は、動き予測検索範囲の再生画像の輝度信号を転送するときのみ、チップセレクト信号によりローカルメモリ56cおよび56dを選択するため、共通のアドレスバスABを用いて同じアドレスを与えて共通のデータ出力制御を行なう。また、コントロールユニット26は、動き予測ユニット47a、47bのローカルデータバスLDB1およびLDB2側の入力ポートの入力制御信号を与える。

【0145】上記以外の画像転送(原画像転送、動き予測用の符号化対象画像転送、前方向予測画像転送、後方向予測画像転送および符号化対象画像転送)については、コントロールユニット26、フレームバッファメモリ51、ピクセルプロセッシングユニット34aまたは34b、およびピクセルデータバスPBを用いて、第7実施例に示したように画像データの転送を行なう。このとき、画像データの転送は、1マクロブロック単位で2つのピクセルプロセッシングユニット34aおよび34bに交互に行ない、各プロセッシングユニット34aまたは34bにおいて、2マクロブロック処理時間を用いて1マクロブロックに対する符号化演算処理を実行する。

【0146】一般にフレーム間予測符号化を行なう場合、両方向予測時の演算量が多くなる。本実施例では、両方向予測時に、画像データを1マクロブロック単位で2つのピクセルプロセッシングユニット34aおよび34bに交互に転送し、実質的にマクロブロック分の演算時間を1つのピクセルプロセッシングユニット34aまたは34bに与えることによって、第9実施例に比べて両方向予測時のピクセルプロセッシングユニット34aおよび34bの演算時間の拡大効果が得られる。

【0147】(11) 第11実施例

図87は、この発明の第11実施例を示す画像圧縮/伸長処理装置111のブロック図である。図87に示す画像圧縮/伸長処理装置では、図84に示す第8実施例の構成からローカルデータバスLDB2に接続されている動き予測ユニット47bを除いた構成を有する。

【0148】この場合、原画像データをコントロールユニット27からフレームバッファメモリ51へ転送する

データ転送処理以外のデータ転送処理は、原画像データを輝度成分および色差成分に分割して以下のように行われる。

【0149】輝度成分の場合、フレーム内符号化画像に対して、符号化対象画像をフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送する。再生画像は、フレームバッファメモリ51およびローカルメモリ56aへ転送される。

【0150】また、片方向予測符号化画像に関しては、動き予測側では、動き検索範囲の画像データをローカルメモリ56aから動き予測ユニット47へ転送し、符号化対象画像データをフレームバッファメモリ51からコントロールユニット27へ転送する。また、符号化側では、予測画像データをフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送し、符号化対象画像データをフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送する。再生画像データはフレームバッファメモリ51およびローカルメモリ56aへ転送される。

【0151】両方向予測符号化画像に関しては、動き予測側では、2面分の動き検索範囲の画像データをローカルメモリ56aから動き予測ユニット47へ転送し、符号化対象画像データをフレームバッファメモリ51からコントロールユニット27を介して動き予測ユニット47へ転送する。また、符号化側では、2面の予測画像データをフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送し、符号化対象画像をフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送する。

【0152】色差成分の場合、フレーム内符号化画像に関しては、符号化対象画像データをフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送する。再生画像データはローカルメモリ56eへ転送される。

【0153】片方向予測符号化画像に対しては、符号化対象画像データをフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送し、予測画像データはローカルメモリ56eからピクセルプロセッシングユニット35へ転送される。再生画像データはローカルメモリ56eへ転送される。

【0154】両方向予測符号化画像に関しては、符号化対象画像の色差信号をフレームバッファメモリ51からピクセルプロセッシングユニット35へ転送し、2面の予測画像データはローカルメモリ56eからピクセルプロセッシングユニット35へ転送される。色差成分の多い4:4:4フォーマットの画像に対しては、データ転送量の最大となる両方向予測時の各データバスにおける画像転送量を見積もると以下ようになる。

【0155】まず、図8に示す第6実施例の画像圧縮／伸長処理装置では、上記のフォーマットにおけるピクセル

データバスPBを介して転送されるデータ転送量は合計4806画素である。

【0156】しかしながら、図87に示す第11実施例の画像圧縮／伸長処理装置では、上記の4:4:4フォーマットにおいて、ピクセルデータバスPBでは、原画像データ768画素、2面分の予測画像データの輝度成分578画素および符号化画像データ768画素が転送され、合計のデータ転送量は2114画素で済むことになる。

【0157】また、ローカルデータバスLDB1では、動き検索範囲が±16画素のとき、予測画像データ1面に対して768画素となり、2枚分の予測画像データでは1536画素のデータ転送量となる。

【0158】さらに、ローカルバスLB5では、色差成分CbおよびCrに対して、それぞれ2面分の予測画像データの輝度成分を578画素だけ転送するので、合計1156画素のデータ転送量となる。

【0159】上記のように画素データの成分別に符号化し、付加した色差成分用のバスLB5を設けることにより、ピクセルデータバスPBのデータ転送量が削減される。また、各データバスでのデータ転送量の平均化を行なうことにより、1つのデータバスで転送するデータ量が削減され、図8に示す第6実施例に比べて、データ転送速度が実質的に2.2倍に上がり、画像圧縮／伸長処理装置の処理速度を向上することが可能となる。

【0160】(12) 第12実施例

図88は、この発明の第12実施例を示す画像圧縮／伸長処理装置112のブロック図である。図88に示す第12実施例は、図87に示す第11実施例のピクセルプロセッシングユニット35を2つのピクセルプロセッシングユニット35aおよび35bに分割し、それぞれに輝度成分の処理と色差成分の処理を割り当てたものである。

【0161】したがって、第12実施例では、ピクセルプロセッシングユニット35aおよび35bにより各成分ごとに演算処理が行なわれ、1つのピクセルプロセッシングユニットでの演算量が削減され、画像圧縮／伸長処理装置の処理速度を向上することが可能となる。

【0162】(13) 第13実施例

図89は、この発明の第13実施例を示す画像圧縮／伸長処理装置113のブロック図である。第13実施例は、第11および第12実施例の構成に加えて、動き検索範囲を拡大したときに対応可能な構成を有している。具体的には、動き予測用参照データとして、フレームバッファメモリ51から転送された画像データの中から最低必要な輝度成分を複数のピクセルプロセッシングユニット36aおよび36bにより分割して抽出する。抽出したデータは、それぞれローカルデータバスLDB1およびLDB2を介してローカルメモリ56aおよび56bに記憶される。一方、ピクセルプロセッシングユニット35bは、フレームバッファメモリ51から転送される画

像データの中から動き予測に使用しない色差成分を抽出する。抽出された色差成分は、ローカルバスLB5を用いてローカルメモリ56eに記憶される。

【0163】上記の構成により、ピクセルデータバスPBのデータ転送量は、原画像データ768画素、2面分の予測画像データの輝度成分578画素、および符号化画像データ768画素となり、合計2114画素となる。

【0164】また、ローカルデータバスLDB1およびLDB2では、動き検出範囲が±32画素の場合、それぞれ1280画素のデータが転送されることになる。

【0165】さらに、ローカルバスLB5では、色差成分CbおよびCrに対してそれぞれ2面分の予測画像データの輝度成分578画素を転送するので、合計1156画素のデータが転送されることになる。

【0166】上記の構成により、動き検出範囲を拡大し、取り扱う画像フォーマットを4:4:4としたときに、ピクセルデータバスPBでのデータ転送量が削減され、かつ、各バスにおけるデータ転送量を効率よく分割することができる。

【0167】(14) 第14実施例

図90は、この発明の第14実施例を示す画像圧縮／伸長処理装置114のブロック図である。第14実施例では、ピクセルデータバスPBとローカルデータバスLDBとを接続する32ビットの双方向トライステートバッファ80が付加される。ピクセルプロセッシングユニット37は、図90に示すようにローカルデータバスLDBに接続される第2のデータ出力ポートを備えていないものを使用してもよい。コントロールユニット29は、双方向トライステートバッファ80、動き予測ユニット47およびローカルメモリ56の動作も制御する。動き予測用参照画像データは、ローカルデータバスLDBを介して転送される。このときの転送タイミングもコントロールユニット29により管理される。双方向トライステートバッファ80は、コントロールユニット29から出力されるクロック信号に同期してデータの取込みおよび保持していたデータの出力を同時に実行することができる。

【0168】図90を参照して、画像符号化処理における画像データ転送、および1マクロブロックの画像データを処理する際の画像データ転送量について説明する。ここで、符号化対象画像データは既にフレームバッファメモリ51に記憶されており、動き検出に必要な参照(再生)画像の輝度成分も既にローカルメモリ56に記憶されているものと仮定する。また、転送量を求める前提として、画像フォーマットは4:2:0、動き検出範囲は±16画素、ストラクチャーはフレームとする。

【0169】まず、原画像データをコントロールユニット29からフレームバッファメモリ51へピクセルデータバスPBを用いて転送する。このとき、転送する画像

データ量は384画素である。

【0170】次に、動き予測を行なうために動き予測対象画像の輝度成分が、フレームバッファメモリ51からコントロールユニット29へピクセルデータバスPBを用いて転送され、さらに、専用のローカルバスLB4を用いて動き予測ユニット47へ転送される。このとき、転送する画像データ量は256画素である。

【0171】動き予測処理が終了し、その結果を用いた符号化判定においてフレーム間予測を用いる場合、符号化処理を行なうため、予測(再生)画像を、フレームバッファメモリ51からピクセルプロセッシングユニット37へピクセルデータバスPBを用いて転送する。このとき、転送する画像データ量は、予測画像1面につき、451画素である。したがって、両方向予測時には、902画素のデータが転送される必要がある。

【0172】次に、符号化対象画像が、フレームバッファメモリ51からピクセルプロセッシングユニット37へピクセルデータバスPBを用いて転送される。このとき、転送する画像データ量は384画素である。

【0173】上記の4つの画像データ転送処理と並行して、動き予測を行なうため、動き検出範囲の画像の輝度成分をローカルメモリ56から動き予測ユニット47へローカルデータバスLDBを用いて転送する。このとき、転送する画像データ量は、参照画像1面につき768画素である。したがって、両方向予測時には、2面分の1536画素のデータを転送する必要がある。

【0174】符号化終了後、フレーム内符号化画像および片方向予測画像に関して、再生画像データがピクセルプロセッシングユニット37からピクセルデータバスPBを用いてフレームバッファメモリ51へ転送される。このとき同時に、再生画像データは双方向トライステートバッファ80へ転送される。さらに、再生画像は、1システムサイクルを遅れて、双方向トライステートバッファ80からローカルデータバスLDBを介してローカルメモリ56へ転送される。コントロールユニット29は、再生画像の輝度成分を転送しているときにのみ、双方向トライステートバッファ80を介したローカルメモリ56へのデータ転送を制御する。このとき、転送する画像データ量は、ピクセルデータバスPBで384画素、およびローカルデータバスLDBで256画素である。

【0175】上記のように、コントロールユニット29が、再生画像の輝度成分を転送しているときにのみ、双方向トライステートバッファ80を介したローカルメモリ56へのデータ転送を制御するシステム制御器(図示省略)を具備することにより、ピクセルプロセッシングユニット37はローカルデータバスLDBに直接接続される第2のデータ出力ポートを具備する必要がなく、図83に示す第7実施例と同様にバスを分割することができ、データ転送の並列処理が可能となる。

【0176】このとき、データ転送量は、図83に示す第7実施例と同等であり、双方向予測時に最大となる。具体的には、ピクセルデータバスPBでは1926画素のデータが転送され、ローカルデータバスLDBでは1536画素のデータが転送される。したがって、バスを分割することにより、1つのバスで転送するデータ量が削減され、実質的にデータ転送速度が向上し、画像圧縮／伸長処理装置の処理速度を向上することが可能となる。

#### 【0177】(15) 第15実施例

図9は、この発明の第15実施例を示す画像圧縮／伸長処理装置115のブロック図である。第15実施例では、バッファメモリ6および装置外部の通信装置94を経由してビットストリームデータが入出力される構成を有している。バッファメモリ6には、コントロールユニット23に含まれる可変長プロセッサ(図示省略)により画素データを符号化して得られたビットストリームデータおよびラン／レベルデータが一時的に記憶される。したがって、ホストコンピュータ93を介さずに、ビットストリームデータのためのデータ転送を行なうことが可能となり、転送速度を向上することができる。

【0178】つまり、ホストコンピュータ93では、データ転送処理以外に命令制御等の複雑な処理が多く発生し、ホストコンピュータ93に対する負荷が重くなる。したがって、画像圧縮／伸長処理装置115の外部に通信装置94を備え、バッファメモリ6からホストコンピュータ93を介さず通信装置94へデータを転送することができ、ホストコンピュータ93の負荷に依存せず、データを高速に転送することが可能となる。

#### 【0179】2. コントロールユニット

##### (1) コントロールユニット21(第1の例)

図9は、コントロールユニットの一例を示すブロック図である。図9に示したコントロールユニット21は、図1、図5、図6、図7および図8に示したコントロールユニット2に適用され得る。

【0180】図9を参照して、コントロールユニット21は、パイプライン処理制御を含む全体制御のためのプロセッサ11と、可変長符号化および復号化処理のためのプロセッサ12と、動き予測ユニット(たとえば図1に示した動き予測ユニット41)のための制御ユニット13と、画像フォーマット変換のための画像フォーマット変換ユニット14と、画像データ転送制御ユニット15と、ピクセルプロセッシングユニット(たとえば図1に示したユニット3)のための命令転送ユニット16と、ホストバス(図1に示したバスHB)に接続されるメインポート17と、ピクセルバス(図1に示したバスPB)に接続される画像データポート18と、入出力バス(図1に示したバスIOB)に接続されるVRAMポート19と、コードデータバス(図1に示したコードバスCB)に接続されるコードデータポート20とを含む。

【0181】なお、図9において、一般に、「DT」はデータ信号を示し、「ADR」はアドレス信号を示し、「Sc」は制御信号を示す。

【0182】各ユニット12ないし16は、バスを介して全体制御プロセッサ11に接続され、全体制御プロセッサ11から与えられる命令を受ける。各ユニット12ないし16は、与えられた命令に従って、独立に処理を行なう。

【0183】制御ユニット13、フォーマット変換ユニット14および画像データ転送制御ユニット15は、画素データのためのバスを介して接続され、画像データ転送制御ユニット15の制御の下で画素データの転送が行なわれる。

【0184】メインポート17は、全体制御プロセッサ11および可変長プロセッサ12に接続される。全体制御プロセッサ11および可変長プロセッサ12と図1に示したバッファメモリ6およびワークメモリ7との間でデータ転送が行なわれるとき、メインポート17を介してデータが転送される。

【0185】画像データポート18は、画像データ転送制御ユニット15に接続される。画像データ転送制御ユニット15と図1に示したフレームバッファメモリ51との間のデータ転送は、画像データポート18を介して行なわれる。フレームバッファメモリ51の転送先が動き予測ユニット41またはピクセルプロセッシングユニット3である場合には、画像データポート18がデータの有効／無効を示す制御信号を出力する。

【0186】VRAMポート19は、画像フォーマット変換ユニット14に接続される。VRAMポート19を介して、画像フォーマット変換ユニット14と図1に示した入出力メモリ81との間のデータ転送が行なわれる。

【0187】次に、図1および図9を参照して、画像圧縮処理について説明する。圧縮されるべき画像データは、図1に示したフレームバッファメモリ51においてストアされているものと仮定する。全体制御プロセッサ11は、まず、画像データ転送命令を画像データ転送制御ユニット15に与えることにより、画像データをフレームバッファメモリ51から画像フォーマット変換ユニット14に転送する。データ転送の終了は、画像データ転送制御ユニット15から全体制御プロセッサ11に通知される。

【0188】次に、全体制御プロセッサ11は、画像フォーマット変換命令を画像フォーマット変換ユニット14に与える。画像フォーマット変換ユニット14は、画像フォーマット変換のための演算処理を行なう。すなわち、画像フォーマット変換ユニット14において、色差信号のサブサンプルおよびRGBフォーマットからYUVフォーマットへの変換処理が行なわれる。フォーマット変換処理の終了は、画像フォーマット変換ユニット1

4から全体制御プロセッサ11に通知される。

【0189】さらに、全体制御プロセッサ11は、画像データ転送命令を画像データ転送制御ユニット15に与えることにより、変換された画像データを画像フォーマット変換ユニット14からフレームバッファメモリ51に転送する。データ転送の終了は、画像データ転送制御ユニット15から全体制御プロセッサ11に通知される。

【0190】動き予測および符号化モード判定のための処理を実行するため、全体制御プロセッサ11は、フレームバッファメモリ51から動き予測処理のための画像データを動き予測制御ユニット13に転送する。このデータ転送は、全体制御プロセッサ11から画像データ転送制御ユニット15に画像データ転送命令を与えることにより行なわれる。データ転送の終了は、画像データ転送制御ユニット15から全体制御プロセッサ11に通知される。

【0191】必要に応じ、全体制御プロセッサ11は、動き予測制御ユニット13にデータサブサンプル命令を与え、これにより、動き予測制御ユニット13は動き予測対象の画像データのサブサンプルを行なう。データのサブサンプルの終了は、制御ユニット13から全体制御プロセッサ11に通知される。

【0192】次に、全体制御プロセッサ11は、フレーム内符号化のためのモード評価値演算命令を動き予測制御ユニット13に与える。制御ユニット13は、動き予測対象データ（必要に応じサブサンプルされたデータ）に対して、フレーム内符号化モードにおける評価値のための演算を行なう。この演算の終了は、制御ユニット13から全体制御プロセッサ11に通知される。

【0193】さらに、全体制御プロセッサ11は、画像データ転送制御ユニット15にデータ転送命令を与え、画像データ転送制御ユニット15は、動き検索領域の画像データをフレームバッファメモリ51から動き予測ユニット41に転送する。データ転送の終了は、画像データ転送制御ユニット15から全体制御プロセッサ11に通知される。

【0194】次に、全体制御プロセッサ11は、動き予測ユニット用制御ユニット13に動き予測対象データ転送命令を与え、制御ユニット13は、検出対象データ（必要に応じサブサンプルされたデータ）を動き予測ユニット41に転送する。データ転送の終了は、画像データ転送制御ユニット15から全体制御プロセッサ11に通知される。

【0195】検索対象画像データおよび動き予測対象画像データが転送された後、動き予測ユニット41が動き予測処理を開始し、しばらくの後、動き予測結果、すなわち動きベクトルデータおよび動きベクトルに関するフレーム間符号化モード評価値データを生成する。

【0196】或る時間が経過した後、全体制御プロセッ

サ11は、動き予測制御ユニット13に動き予測結果を受信するための命令を与え、制御ユニット13は動き予測ユニット41から動き予測結果を示すデータを受け取る。データ受信の終了は、制御ユニット13から全体制御プロセッサ11に通知される。

【0197】次に、全体制御プロセッサ11は、動き予測制御ユニット13における演算により得られたフレーム内符号化モード評価値データおよび動き予測ユニット41における演算により得られたフレーム間符号化モード評価値データに基づいて、符号化モードを決定する。符号化モードの決定は、図1に示したバッファメモリ6内にストアされている符号化モード判定テーブルデータの参照、または評価データに対する比較演算の実行により行なわれる。

【0198】符号化モードが決定された後、ソース符号化処理、すなわちDCT処理および量子化処理が行なわれる。まず、全体制御プロセッサ11は、画像データ転送制御ユニット15に画像データ転送命令を与え、画像データ転送制御ユニット15は符号化されるべきデータをフレームバッファメモリ51からピクセルプロセッシングユニット3に転送する。データ転送の終了は、画像データ転送制御ユニット15から全体制御プロセッサ11に通知される。

【0199】次に、全体制御プロセッサ11は、ピクセルプロセッシングユニット用命令転送ユニット16を介して、ピクセルプロセッシングユニット3にソース符号化命令を与える。ピクセルプロセッシングユニット3は、ソース符号化命令に応答して、ソース符号化演算、すなわちDCT演算および量子化演算を実行する。演算の終了は、命令転送ユニット16を介して、ピクセルプロセッシングユニット3から全体制御プロセッサ11に通知される。

【0200】ソース符号化演算、すなわちDCT処理および量子化処理が行なわれた後、可変長符号化処理が行なわれる。すなわち、全体制御プロセッサ11は、命令転送ユニット16を介して、処理されたデータの転送を要求する命令をピクセルプロセッシングユニット3に与える。ピクセルプロセッシングユニット3は、この命令に回答して、可変長処理プロセッサ12に処理されたデータを転送する。データ転送の終了は、命令転送ユニット16を介して、ピクセルプロセッシングユニット3から全体制御プロセッサ11に通知される。

【0201】可変長符号化処理、すなわちエントロピー符号化処理を行なうため、全体制御プロセッサ11は、可変長プロセッサ12にエントロピー符号化命令を与える。可変長プロセッサ12は、エントロピー符号化処理を実行する。エントロピー符号化処理において、ハフマン符号などを用いたコード変換処理が行なわれる。すなわち、可変長プロセッサ12は、ソース符号化処理により得られたデータについて、ワークメモリ7内にストア



されたコード変換テーブルデータを参照することにより、コード変換を実行する。エントロピー符号化処理の終了は、可変長処理プロセッサ 12 から全体制御プロセッサ 11 に通知される。

【0202】エントロピー符号化処理が行なわれた後、全体制御プロセッサ 11 は、処理されたデータの転送を要求する命令を可変長プロセッサ 12 に与える。可変長処理プロセッサ 12 は、処理されたデータをバッファメモリ 6 に転送する。データ転送の終了は、可変長プロセッサ 12 から全体制御プロセッサ 11 に通知される。

【0203】上記の記載からわかるように、画像データ圧縮処理は、全体制御プロセッサ 11 による全体制御の下で、コントロールユニット 21 における各処理ユニット 13、14、15 および 16 ならびに可変長プロセッサ 12 において独立に行なわれ得る。すなわち、画像フォーマット変換ユニット 14 による画像フォーマット変換処理、動き予測ユニット 41 および動き予測ユニット制御ユニット 13 による動き予測および符号化モード評価値のための演算処理、画像データ転送制御ユニット 15 による画像データ転送、ピクセルプロセッシングユニット 3 によるソース符号化演算、および可変長プロセッサ 12 によるエントロピー符号化演算がすべて独立にかつ並列に実行できる。したがって、全体制御プロセッサ 11 は、画像の各マクロブロックデータについての上記の処理をパイプライン処理制御の下で実行する。上記の処理のパイプライン処理については、後で図 11 および図 12 を参照して詳細に説明されるのであるが、パイプライン処理により、非常に効率のよい画像圧縮処理が実現され得る。

【0204】画像伸張処理も、上記の画像圧縮処理と同様に、全体制御プロセッサ 11 による全体制御の下で、コントロールユニット 21 における各処理が独立して行なわれる。画像伸張処理では、バッファメモリ 6 内にストアされたコードデータが逆変換され、最終的には、画像フォーマット変換ユニット 14 を介して伸張された画像データが図 1 に示した入出力メモリ 81 に転送される。

【0205】(2) コントロールユニット 22 (第 2 の例)

図 10 は、コントロールユニットの別の例を示すブロック図である。図 10 に示したコントロールユニット 22 は、図 4 に示したコントロールユニット 22 として適用される。図 9 に示したコントロールユニット 21 と比較すると、コントロールユニット 22 は、動き予測ユニット制御ユニット 13 が除かれている。すなわち、図 4 に示した画像圧縮／伸張処理装置 102 は動き予測処理を必要としないので、この点に応じて、コントロールユニット 22 から動き予測ユニット制御ユニットが除かれている。

【0206】動き予測処理を除き、図 10 に示したコン

トロールユニット 22 は、図 9 に示したコントロールユニット 21 と同様に動作することが指摘される。したがって、図 9 に示したコントロールユニット 21 と同様の利点、すなわち、コントロールユニット 22 における各内部ユニットが独立にかつ並列に動作可能であり、パイプライン処理制御の下で、効率的な画像データ圧縮処理が行なわれ得る。

【0207】(3) パイプライン処理

図 9 および図 10 に示した全体制御プロセッサ 11 は、画像圧縮／伸張処理装置においてパイプライン処理を次のように実行する。

【0208】図 11 は、図 9 に示した全体制御プロセッサ 11 の制御の下で行なわれるパイプライン処理を示すタイムチャートである。図 11 を参照して、横軸は時間の経過を示し、縦軸は画像圧縮のための処理ステップを示す。画像圧縮処理では、処理されるべき 1 つのフレームデータが多数のマクロブロック MB に分けられ、マクロブロックデータごとに画像圧縮のための処理が行なわれる。図 11 に示した例では、10 個のマクロブロックデータ MB1 ないし MB10 を扱う例が示されている。

【0209】図 11 を参照して、一例として、1 つのマクロブロックデータ MB1 が処理される場合について説明する。まず、期間 T1 において、マクロブロックデータ MB1 についての RGB データが図 1 に示した入出力メモリ 81 からコントロールユニット 2 に転送される (ステップ S1)。期間 T2 において、図 9 に示した画像フォーマット変換ユニット 14 により、RGB データが YUV データに変換される (ステップ S2)。

【0210】期間 T3 において、YUV データはフレームバッファメモリ 51 に転送され、検索対象の画像データがコントロールユニット 2 に転送される。同時に、動き予測ユニット 41 にも、検索対象画像データがピクセルデータバス PB を介して転送される (ステップ S3)。

【0211】期間 T4 において、動き予測ユニット 41 による動き予測処理が行なわれる (ステップ S4)。期間 T5 において、コントロールユニット 2 により符号化モードの判定処理が行なわれる (ステップ S5)。

【0212】期間 T6 において、符号化対象の画像データがフレームバッファメモリ 51 からピクセルプロセッシングユニット 3 に転送され、一方、参照画像データがピクセルデータバス PB を介してピクセルプロセッシングユニット 3 に転送される (ステップ S6)。

【0213】期間 T7 において、ピクセルプロセッシングユニット 3 により符号化のための画像演算処理、すなわち DCT 処理および量子化処理が行なわれる (ステップ S7)。期間 T8 において、処理されたデータ、すなわちランレベルデータがコードバス CB を介してバッファメモリ 6 に転送される (ステップ S8)。

【0214】期間 T9 において、図 9 に示した可変長プ

ロセッサ 12 による可変長符号化処理が行なわれる（ステップ S 9）。期間 T 10 において、処理されたデータ、すなわち可変長コードデータがコードバス CB を介してバッファメモリ 6 に転送される（ステップ S 10）。

【0215】前述のように、画像圧縮／伸張処理装置 101 では全体制御プロセッサ 11 の制御の下でパイプライン処理が行なわれる。したがって、図 11 に示されるように、他のマクロブロックデータ MB 2 ないし MB 10 についても、マクロブロックデータ MB 1 と同様に期間 T 2 ないし T 10 において対応する処理が順次に行なわれる。

【0216】図 12 は、図 11 に示した 1 つの期間 T 10 における並列動作を示す並列動作図である。すなわち、図 11 は、図 1 および 図 9 に示した画像圧縮／伸張処理装置 101 およびコントロールユニット 21 における各内部ユニットの期間 T 10 における動作状態を示している。図 12 を参照して、入出力バス IOB は、期間 T 10 において、第 10 番目のマクロブロック MB 10 について RGB データを転送している（図 11 に示したステップ S 1）。ピクセルデータバス PB は、第 8 番目のマクロブロック MB 8 および第 5 番目のマクロブロック MB 5 についてのデータ転送を実行している（ステップ S 3 および S 6）。コードバス CB は、第 3 番目のマクロブロック MB 3 および第 1 番目のマクロブロック MB 1 についてのデータ転送を実行している（ステップ S 8 および S 10）。

【0217】全体制御プロセッサ 11 は、第 10 番目のマクロブロック MB 10 についての RGB データの転送制御を行ない（ステップ S 3）、これと並列して、第 6 番目のマクロブロック MB 6 についての符号化モード判定処理を行なう（ステップ S 5）。これに加えて、全体制御プロセッサ 11 は、マクロブロック MB 1 ないし MB 10 についてのシーケンス制御、すなわちパイプライン処理のための制御を行なう。

【0218】可変長処理プロセッサ 12 は、第 2 番目のマクロブロック MB 2 についての可変長符号化処理を行なう（ステップ S 9）。命令転送ユニット 16 は、第 4 番目のマクロブロック MB 4 についての画像演算処理制御を行なう（ステップ S 7）。

【0219】動き予測ユニット用制御ユニット 13 は、第 7 番目のマクロブロック MB 7 についての動き予測処理制御を行なう（ステップ S 4）。画像データ転送制御ユニット 15 は、第 8 番目のマクロブロック MB 8 および第 5 番目のマクロブロック MB 5 についてのデータ転送制御を行なう（ステップ S 8）。

【0220】画像フォーマット変換ユニット 14 は、第 9 番目のマクロブロック MB 9 についてのフォーマット変換処理（RGB から YUV）を行なう（ステップ S 2）。ピクセルプロセッシングユニット 3 は、第 4 番目の

マクロブロック MB 4 についての画像演算処理を行なう（ステップ S 7）。動き予測ユニット 4 は、第 7 番目のマクロブロック MB 7 についての動き予測処理を行なう（ステップ S 4）。

【0221】（4） 各内部ユニットの構成

（i） 全体制御プロセッサ 11（図 13）

図 13 は、図 9 に示した全体制御プロセッサ 11 のブロック図である。図 13 を参照して、全体制御プロセッサ 11 は、命令メモリ 111 と、プログラム制御器 112 と、シーケンス制御器／アドレス演算器 113 と、システム制御器 114 と、演算レジスタファイル 115 と、データ演算器 116 とを含む。この図において、「DT」はデータを示し、「ADR」はアドレス信号を示し、「ID」は命令データを示し、「Ssc」は状態制御信号を示し、「Sc」は制御信号を示す。

【0222】（ii） 動き予測制御ユニット 13（図 14）

図 14 は、図 9 に示した動き予測制御ユニット 13 のブロック図である。図 14 を参照して、動き予測制御ユニット 13 は、動き予測ユニットについてのモード／タイミング制御器 131 と、全体制御器 132 と、ベクトルデータ処理器 133 と、動き検出対象画像データ処理器 134 と、フレーム内符号化モード評価値演算器 135 とを含む。

【0223】モード／タイミング制御器 131 は、動き予測ユニット 41 のための制御信号 Smc を出力する。ベクトルデータ処理器 133 も、動き予測ユニット 41 のための制御信号 Smc を出力する。ベクトルデータ処理器 133 は、動き予測ユニット 41 から動き検出結果を示すデータ Dmr を受ける。動き検出対象画像データ処理器 134 は、動き検出対象画像データ Dmi および動き予測ユニット 41 のための制御信号 Smc を出力する。動き検出対象画像データ処理器 134 は、画素データ PD をフレーム内符号化モード評価値演算器 135 に与える。

【0224】（iii） 画像フォーマット変換ユニット 14（図 15）

図 15 は、図 9 に示した画像フォーマット変換ユニット 14 のブロック図である。図 15 を参照して、画像フォーマット変換ユニット 14 は、全体制御器 141 と、VRAM 制御器 142 と、色変換器 143 と、UV フィルタ 144 と、画像メモリ 145 とを含む。

【0225】全体制御器 141 は、メインデータバス MB を介してデータ DT およびアドレス信号 ADR を受ける。VRAM 制御器 142 は、VRAM ポート 19 に接続される。画像メモリ 145 は、内部ピクセルデータバス IPB を介して画素データ PD を受けかつストアされたデータを供給する。

【0226】（iv） 画像データ転送制御ユニット 15（図 16）

図16は、図9に示した画像データ転送制御ユニット15のブロック図である。図16を参照して、画像データ転送制御ユニット15は、全体制御器151と、画像データメモリ制御器152と、画像データ転送制御器153と、ピクセルデータバス転送制御器154とを含む。

【0227】図16において、「Simc」は画像データメモリ制御信号を示し、「Splic」はピクセルプロセシングユニット3のための画像データ転送制御信号を示し、「Smic」は動き予測ユニット41のための画像データ転送制御信号を示す。

【0228】(v) 命令転送ユニット16 (図17) 図17は、図9に示した命令転送ユニット16のブロック図である。図17を参照して、ピクセルプロセシングユニット3のための命令転送ユニット16は、全体制御器161と、命令転送制御器162と、状態モニタ163とを含む。命令転送制御器162は、ピクセルプロセシングユニット3のための制御信号Spicを出力する。状態モニタ163は、ピクセルプロセシングユニット3から状態信号Spisを受ける。全体制御器161は、メインデータバスMBを介してデータDTおよびアドレス信号ADRを受ける。

【0229】このように、図14ないし図17に示した各内部ユニット13、14、15および16は、図13に示した全体制御プロセッサ11からそれぞれの処理の開始を要求する信号を受け、それぞれの処理が終わった後、処理の終了を示す制御信号を全体制御プロセッサ11に戻す。すなわち、各内部ユニット13、14、15および16は、全体制御プロセッサ11からの処理開始信号に応答して、個々に処理を実行できることが指摘される。したがって、全体制御プロセッサ11の制御の下で、画像圧縮および画像伸張のためのデータ処理がパイプライン処理により効率的に行なわれ得る。

【0230】(5) コントロールユニット200 (第3の例)

図92は、コントロールユニットのさらに別の例を示すブロック図である。図92に示したコントロールユニット200は、図1、図5~図8、図84~図91に示したコントロールユニットとして適用される。

【0231】図92を参照して、コントロールユニット200は、ホストバスHBに接続されるホストインタフェース部201、パイプライン制御を含む各種制御を行なう全体制御部202、入出力バスIOBに接続されるビデオ入出力部203、マクロコードで書かれたプログラムを実行するメインプロセッサ204、フレームメモリ制御部205、動き予測用フレームメモリの制御動作も行なう動き予測ユニット制御部206、ピクセルプロセシングユニットとの間でコードデータを扱うコードデータ制御部207、パラメータ演算部208、可変長符号化のための可変長プロセッサ209を含む。

【0232】さらに、コントロールユニット200は、

内部バスとして、ビデオ入出力部203とフレームメモリ制御部205との間に接続される第1内部バス210、フレームメモリ制御部205、動き予測ユニット制御部206、パラメータ演算部208との間に接続される第2内部バス211、動き予測ユニット制御部212とフレームメモリ制御部205との間に接続される第3内部バス212、コードデータ制御部207と可変長プロセッサ209との間に接続される第4内部バス213、すべてのブロックに対して接続されるメインバス214を含む。

【0233】次に、各ブロックの構成および動作について説明する。ホストインタフェース部201は、外部のホストコンピュータとコントロールユニット200とのデータ転送の制御を行なう制御部である。ホストインタフェース部201を介して入力または出力されるデータは、コントロールユニット200の内部の各ブロックに接続されるメインバス214を介して転送される。

【0234】全体制御部202は、主として、コントロールユニット200内の各動作タイミングおよびパイプライン処理を管理するブロックである。全体制御部202は、画像符号化の際、基本クロックおよび同期信号を基に、ピクチャー単位またはマクロブロック単位の内部同期パルスを生成するとともに、符号化における主要パラメータの管理、転送等を行なう。

【0235】ビデオ入出力部203は、たとえば、図83に示す入出力メモリ81とのインタフェースを有し、コントロールユニット200の内部ではフレームメモリ制御部205と第1内部バス210を介して接続されている。

【0236】メインプロセッサ104は、主として符号化における適応処理を担当するブロックであり、詳細については後述する。ホストインタフェース部201と競合した場合、メインプロセッサ104は、メインバス214のマスタとなり、各ブロック内のレジスタ/メモリのデータ転送を行なう。

【0237】フレームメモリ制御部205は、外部のインタフェースとして、フレームバッファメモリ (たとえば、図83に示すフレームバッファメモリ51) およびピクセルプロセシングユニット (たとえば図83に示すピクセルプロセシングユニット33) との間の32ビットのピクセルデータバス (たとえば、図83に示すピクセルデータバスPB) のマスタとなる32ビットのインタフェースを有する。フレームメモリ制御部205は、フレームバッファメモリに対するアドレスを含む制御信号およびピクセルプロセシングユニットに対する制御信号を出力する。フレームメモリ制御部205は、コントロールユニット200内で、ビデオ入出力部203と第1内部バス210を介して接続され、パラメータ制御部208および動き予測ユニット制御部206と第2内部バス211を介して接続され、さらに、動き予測ユニ

ト制御部206の別のインタフェースと第3内部バス212を介して接続されている。

【0238】動き予測ユニット制御部206は、外部のインタフェースとして、動き予測ユニット（たとえば、図83に示す動き予測ユニット47）に対して制御信号を出力するインタフェースと、ローカルメモリ（たとえば、図83に示すローカルメモリ56）に対してアドレスを含む制御信号を出力するインタフェースとを有する。また、動き予測ユニット制御部206は、動き予測ユニットとの間で、テンプレートデータ（画像データ）や動きベクトル等のパラメータを転送するためのローカルバス（たとえば、図83に示すローカルバスLB4）に対するインタフェースを有する。さらに、動き予測ユニット制御部206は、コントロールユニット200内で、フレームメモリ制御部205およびパラメータ制御部208と第2内部バス211を介して接続され、フレームメモリ制御部205と第3内部バス212を介して接続されている。

【0239】コードデータ制御部207は、ピクセルプロセッシングユニット（たとえば、図83に示すピクセルプロセッシングユニット33）およびバッファメモリ（たとえば、図83に示すバッファメモリ6）と接続されるためのコードバス（たとえば、図83に示すコードバスCB）に接続されるインタフェースを有する。コードデータ制御部207は、コントロールユニット200内部で、可変長プロセッサ209と第4内部バス213を介して接続されている。

【0240】パラメータ演算部208は、フレームメモリ制御部205および動き予測ユニット制御部206と第2内部バス211を介して接続される。第2内部バス211を介して、フレームメモリ制御部205からパラメータ演算部208へテンプレートデータが入力され、パラメータ演算部208は、テンプレートに関するパラメータを抽出する。パラメータ演算部208は、内部に演算結果を格納するレジスタを有している。レジスタに格納された演算結果は、メインバス214を介して転送（読出）可能である（スレーブ動作）。

【0241】可変長プロセッサ209は、コードデータ制御部207と第4内部バス213を介して接続される。コードデータ制御部207から転送される量子化インデックスまたはラン／レベルタイプのデータの可変長符号化処理が可変長プロセッサ209において行なわれる。可変長プロセッサ209において生成されたビットストリームデータは、フレームバッファメモリ（たとえば、図83に示すフレームバッファメモリ51）に転送される。

【0242】次に、図83および図92を参照して、画像符号化（エンコード）処理におけるコントロールユニット200内の各ブロックの処理内容について詳細に説明する。

【0243】コントロールユニット23は、ピクセルプロセッシングユニット33および動き予測ユニット47を制御し、符号化処理を行なう機能を有する。したがって、主として以下の4種類のデータ制御が行なわれる。

【0244】（1） 原画データの取込みとフレームバッファメモリ51へのストア

（2） 動き予測のためのテンプレートデータの取込みと動き予測ユニット47の起動

（3） 動き予測結果の取込みおよび判定とピクセルプロセッシングユニット33の起動

（4） コードデータ（量子化インデックス／ランレベル）の取込みと可変長処理およびバッファメモリ6への書込み

以下、上記の4種類のデータ制御について各ブロックの動作も含めて説明する。

【0245】（i） 原画データの取込みからフレームバッファメモリ51への書込み（マッピング）

外部の入出力メモリに格納されている原画データ（符号化対象となるオリジナル画像データ）は、いわゆるマクロブロック単位で切出され、ビデオ入出力部203へ転送される。

【0246】ビデオ入出力部203は、内部にRGBフォーマットからYUVフォーマットへの変換回路およびフィルタ回路を有しており、フォーマット変換（たとえば、RGB→YUV、4:2:2→4:2:0等）が行なわれる。処理されたデータは、第1内部バス210を介してフレームメモリ制御部205へ転送される。フレームメモリ制御部205は、フレームメモリ制御部205が管理するフレームバッファメモリ51上に後の符号化処理に適した形式で転送されたデータをマッピング（書込み）する。ここでのマッピング方法は後に詳細に説明されている。

【0247】フレームバッファメモリ51に対するアドレスの生成は、フレームメモリ制御部105が担当する。また、フレームバッファメモリ51に対する制御およびビデオ入出力部203からのデータ転送のタイミングについては全体制御部202が管理する。

【0248】（ii） 動き予測のためのテンプレートデータの取込みと動き予測ユニットの制御

フレームメモリ制御部205は、符号化対象となるマクロブロックに対する動き予測を行なうため、そのマクロブロックに対応する画像データをフレームバッファメモリ51から読出す。このデータをテンプレートデータと言う。フレームメモリ制御部205は、テンプレートデータを動き予測ユニット制御部206およびパラメータ演算部208へ転送する。

【0249】動き予測ユニット制御部206は、テンプレートデータをローカルバスLB4を介して動き予測ユニット47へ転送すると同時に、テンプレートデータに対応するサーチウィンドウデータをローカルメモリ56

ヘローカルデータバスLDBを介して転送する。さらに、動き予測ユニット制御部206は、動き予測ユニット47に対して起動制御等の制御信号を入力することによって、上記テンプレートデータに対する動き予測動作を起動させる。

【0250】さらに、フレームメモリ制御部205は、テンプレートデータを動き予測ユニット制御部206へ第2内部バス111を介して転送すると同時に、パラメータ演算部208へも転送する。パラメータ演算部208では、テンプレートデータの保有する特徴を所定の演算により抽出し、後に符号化時の判定等に用いる。ここで求めるパラメータは、アクティビティ算出用のテンプレート中の各ブロック（フィールド／フレーム両ブロックにおける）の分散（輝度信号のみ）、テンプレートマクロブロックの輝度信号の平均値および分散値等であり、画素演算を必要とするものを対象としている。

【0251】(iii) 動き予測結果の取込みおよび判定とピクセルプロセッシングユニットの起動

上記の動き予測ユニットの起動後、数マクロブロックサイクル後に動き予測結果、つまり各動き予測モードと真裏における水平、垂直方向の動きベクトルおよびその評価関数が、ローカルバスLB4を介して動き予測ユニット制御部206へ取込まれる。

【0252】動き予測ユニット制御部206は、上記評価関数を用いて予測モードおよび動きベクトルを決定する。決定された動きベクトルは、第3内部バス212を介してフレームメモリ制御部205へ転送される。フレームメモリ制御部205は、入力した動きベクトルを基に予測画像のアドレスを算出する。フレームメモリ制御部205は、算出したアドレスを基に、フレームバッファメモリ51およびピクセルプロセッシングユニット33を制御し、上記動きベクトルに対応する予測画像データをピクセルプロセッシングユニット33へ転送する。

【0253】さらに、フレームメモリ制御部205は、さらにテンプレートデータ（前述のテンプレートデータとはパイプラインが異なるので、新たに転送する必要がある）を上記と同様にピクセルプロセッシングユニット33へ転送し、ピクセルプロセッシングユニット33を起動することにより、DCT以降の処理をピクセルプロセッシングユニット33に行なわせる。ここで、起動のためのコマンドおよびピクセルプロセッシングユニット33において符号化に必要なパラメータ（たとえば、ハーフペルフィルタ指示）は、同じパイプライン間で、コードデータ制御部207またはホストインタフェース部201を介してピクセルプロセッシングユニット33内の所定のレジスタにセットされる。ピクセルプロセッシングユニット33では上記の両方のポートからセット可能な構成となっている。

【0254】(iv) コードデータの取込みと可変長処理およびバッファメモリへの書込み

ピクセルプロセッシングユニット33で処理（フィルタリング、DCT、量子化等）されたデータは、全体制御部202の制御により、コードバスCBを介して一旦バッファメモリ6に書込まれるか、または、直接コントロールユニット23のコードデータ制御部207へ転送される。この場合のデータ形式は、量子化インデックス（量子化後のデータ）か、またはランレベルデータ（前記量子化インデックスをランレベルに変換したもの）の形式である。

【0255】コードデータ制御部207は、上記データを任意のタイミングで受取り、第4内部バス213を介して可変長プロセッサ209へ転送する。可変長プロセッサ209は、マイクロプログラムに応じて、このデータをいわゆるハフマン符号化処理し、外部のバッファメモリ6へ書込む。また、ハフマン符号化等のコード変換処理の際に、ワークメモリ7に格納されるテーブルデータをアクセスすることも可能である。

【0256】次に、メインプロセッサ204が、上記の処理の中で符号化にどのように関わるかについて説明する。

【0257】動き予測ユニット制御部206内で行なう判定処理以外に、別の判定処理を行ないたい場合、たとえば、ユーザが独自の判定方法を使用したい場合は、以下のように行なわれる。メインプロセッサ204は、動き予測ユニット制御部206内の各予測モードにおけるベクトルおよび評価値を格納するレジスタをメインバス214を介してアクセスする。ベクトルおよび評価値は、マクロコードにおいて独自の処理が施され、一定時間内に元のレジスタに戻される。この結果、判定等の適用処理が可能となる。

【0258】また、メインプロセッサ204は、主として、マクロブロックレイヤー（MPEG1/2の規格において）より上位階層の処理を行なう。つまり、メインプロセッサ204は、GOP／ピクチャー／スライス単位で行なわれる処理を担当する。たとえば、メインプロセッサ204は、前のピクチャーを符号化した際の符号量を基に、次のピクチャーの符号化パラメータを設定する。レートコントロール、同期リフレッシュ、および強制イントラ制御等の例外モードの処理についてもメインプロセッサ204が対応する。マクロブロックレイヤーの処理のうち主なものとしては、算出されたアクティビティを基に行なわれる適応量子化処理がある。

【0259】上記のように、メインプロセッサ204は、コントロールユニット23内の各ユニットのレジスタまたはメモリをアクセスすることができるため、許可される処理ステップ内であれば、これらのレジスタまたはメモリを参照し、演算等の処理を行ない、レジスタまたはメモリの内容を書換えることができる。したがって、符号化処理における自由度を向上することが可能となる。

【0260】また、上記の符号化動作処理の記述からわかるように、符号化処理は、コントロールユニット23内の全体制御部202によるパイプライン制御の下で、各処理ユニットにおいて独立に行なわれる。すなわち、上記4つのデータ制御がすべて独立にかつ並行に実行される。また、画像の復号化処理も上記の符号化処理と同様に、全体制御部202のパイプライン処理の下で、コントロールユニット23内の各ブロックが並列に動作することにより実行することができる。

【0261】3. ピクセルプロセッシングユニット

(1) ピクセルプロセッシングユニット31 (図18、図19)

図18は、ピクセルプロセッシングユニットの一例を示すブロック図である。図18に示したピクセルプロセッシングユニット31は、たとえば図1に示したピクセルプロセッシングユニット3として用いられる。

【0262】図18を参照して、ピクセルプロセッシングユニット31は、ホストインターフェイス(I/F)回路311と、ローカルメモリ群312と、DCT/IDCT演算器313と、量子化器314と、フィルタ315と、セレクトバス316と、コードデータバスインターフェイス回路317と、ピクセルバスインターフェイス回路318と、制御器319を含む。

【0263】ホストインターフェイス回路311は、ホストプロセッサ、すなわちコントロールユニット2とピクセルプロセッシングユニット31との間のデータ入出力のために設けられる。ピクセルバスインターフェイス回路318は、画像データの入出力のために設けられる。コードデータバスインターフェイス回路317は、コードデータの入出力のために設けられる。

【0264】DCT/IDCT演算器313は、DCT演算処理および逆DCT演算処理を行なう。量子化器314は、量子化演算を行なうために設けられる。フィルタ315は、動き予測処理における参照画像データを生成するために設けられる。セレクトバス316は、ピクセルプロセッシングユニット31における内部データを転送するために設けられる。制御器319は、ピクセルプロセッシングユニット31における全体制御のために設けられる。

【0265】図19は、図18に示したピクセルプロセッシングユニット31のより詳細なブロック図である。図18に示したローカルメモリ群312は、図19に示した画像メモリ331ないし335と、データメモリ341、342と、コードデータメモリ343と、パラメータメモリ344を含む。図18に示したセレクトバス316は、図19に示したセレクトバスSB1ないしSB5を含む。

【0266】画像メモリ331は、圧縮対象の画像データをストアするために設けられる。画像メモリ332および333は、前フレームおよび後フレームの参照画

像データをストアする。画像メモリ334は、フィルタ処理の後の処理された参照画像データをストアする。画像メモリ335は、復号化されるべき画像データをストアする。コードデータメモリ343は、量子化処理後のコードデータをストアする。パラメータメモリ344は、量子化マトリックスなどの演算用テーブルデータをストアする。

【0267】セレクトバスSB1は、12ビットのバス幅を有しており、フィルタ処理後の参照画像データを転送する。セレクトバスSB2は、12ビットのバス幅を有しており、差分演算処理の後および逆DCT演算の後の差分データを転送する。セレクトバスSB3は、12ビットのバス幅を有しており、DCT演算の後および逆量子化の後のDCT係数を転送するために設けられる。セレクトバスSB4は、12ビットのバス幅を有しており、逆量子化処理の後およびゼロアンパックの後のコードデータを転送するために設けられる。セレクトバスSB5は、16ビットのバス幅を有しており、パラメータデータを転送するために設けられる。

【0268】(2) ピクセルプロセッシングユニット32 (図20、図21)

図20は、ピクセルプロセッシングユニットの別の例を示すブロック図である。図20に示したピクセルプロセッシングユニット32も、たとえば図1に示したピクセルプロセッシングユニット3として用いられ得る。

【0269】図20を参照して、図19に示したピクセルプロセッシングユニット31と比較すると、ピクセルプロセッシングユニット32は、さらにプログラマブルプロセッシングユニット320を備えている。プログラマブルプロセッシングユニット320は、セレクトバス326に接続されており、ユニット320内にストアされたプログラムに従って他の様々な演算を実行することができる。

【0270】たとえば、プログラマブルプロセッシングユニット320は、ストアされたプログラムに従って、頻繁に使用される演算、すなわち加減算、差分絶対値演算、差分絶対値累算、差分二乗演算、差分二乗和の累算、乗算などを行なう。

【0271】図21は、図20に示したピクセルプロセッシングユニット32のより詳細なブロック図である。図21に示されるように、追加されたプログラマブルプロセッシングユニット320は、セレクトバスSB1ないしSB5に接続される。これに加えて、プログラマブルプロセッシングユニット320は、パラメータメモリ344に接続される。

【0272】(3) ピクセルプロセッシングユニット31、32の動作

図19を参照して、ピクセルプロセッシングユニット31の動作について説明する。動作の一例として、MPEG規格における蓄積系動画像符号化処理について説明す

る。

【0273】ピクセルバスインターフェイス回路318は、図1に示したフレームバッファメモリ51から符号化対象の画像データを受け、内部ピクセルバスIPB2を介してそれを画像メモリ331に与える。動き予測処理が必要である場合では、前方向予測処理において、参照画像データが画像メモリ332に与えられる。一方、両方向予測処理においては、前フレームおよび後ろフレームの参照画像データが画像メモリ332および333に転送される。

【0274】前方向の予測処理の場合では、画像メモリ332内にストアされたデータがフィルタ315に与えられる。フィルタ315においてフィルタ処理が行なわれ、処理された参照画像データが画像メモリ334に書込まれる。

【0275】両方向の予測処理の場合では、画像メモリ332にストアされた前方向の参照画像データがフィルタ315に与えられ、一方、画像メモリ333内にストアされた後ろ方向の参照画像データもフィルタ315に与えられる。フィルタ315において、与えられた参照画像データについてフィルタ処理および補間処理が行なわれ、生成された参照画像データは画像メモリ334に書込まれる。

【0276】差分生成器310は、画像メモリ331にストアされた符号化対象の画像データをセレクトバスSB2に転送する。場合により、差分生成器310は、この符号化対象の画像データと画像メモリ334内にストアされた参照画像データとの差分データをセレクトバスSB2に与える。

【0277】DCT/IDCT演算器313は、符号化処理において、セレクトバスSB2を介して与えられた画素データまたは差分データについてのDCT演算を行ない、生成されたDCT係数をセレクトバスSB3を介して転送する。符号化のためのループバック演算処理および復号化処理が行なわれるとき、DCT/IDCT演算器313は、セレクトバスSB3を介して与えられるDCT係数について逆DCT演算を行ない、画素データまたは差分データを生成する。生成されたデータは、セレクトバスSB2を介して転送される。

【0278】量子化器314は、符号化処理において、セレクトバスSB3を介して与えられるDCT係数について、パラメータメモリ344を参照することにより、量子化演算を行なう。量子化演算の結果得られたコードデータは、セレクトバスSB4を介してコードデータメモリ343に転送される。符号化のためのループバック演算処理および復号化処理において、量子化器314は、セレクトバスSB4を介して与えられたコードデータについての逆量子化演算を行なう。逆量子化演算の結果得られたDCT係数は、セレクトバスSB3を介して転送される。

【0279】コードデータバスインターフェイス回路317は、符号化処理において、コードデータメモリ343内にストアされたコードデータをセレクトバスSB5を介して受ける。コードデータバスインターフェイス回路317は、受取ったコードデータをそのまま外部のコードデータバス、すなわち図1に示したコードバスCBに出力する。場合により、コードデータバスインターフェイス回路317によりランレベルコードに変換された後コードバスCBに出力される。復号化処理において、コードデータバスインターフェイス回路317は、セレクトバスSB4を介して与えられたコードデータについて逆量子化演算を行なう。逆量子化演算の結果得られたDCT係数は、セレクトバスSB3を介して転送される。

【0280】画像復号器310は、符号化のための参照画像復号処理および復号化処理において、動き予測処理が必要である場合では、セレクトバスSB1を介して与えられた参照画像データおよび復号化された差分データの加算演算結果データを出力し、これらのデータは画像メモリ335にストアされる。一方、動き予測が必要とされない場合では、復号化された画像データがそのまま出力され、画像メモリ335内にストアされる。

【0281】ホストインターフェイス回路331は、図1に示したホストバスHBを介してピクセルプロセッシングユニット31のための動作コマンドおよび量子化マトリックスなどのパラメータを受ける。一方、ホストインターフェイス回路311は、内部メモリ331ないし335および341ないし344内にストアされたデータおよび内部レジスタ内に保持されたデータを外部に出力する。

【0282】(4) ピクセルプロセッシングユニットにおける処理フロー (図22ないし図25)

(i) MPEG規格に従う符号化フレーム内予測画像の場合

図22は、図19に示したピクセルプロセッシングユニット31における符号化のための動作フロー図である。図22を参照して、画像メモリ331内にストアされた画像データは差分生成器310に与えられる。与えられたデータは、この場合では何ら処理されることなく、セレクトバスSB2を介してDCT/IDCT演算器313に与えられる。演算器313においてDCT演算が行なわれた後、演算結果を示すデータがセレクトバスSB3を介して量子化器314に与えられる。

【0283】量子化器314は、セレクトバスSB5を介してパラメータメモリ344を参照することにより、量子化演算を実行する。量子化結果を示すデータ、すなわちコードデータがコードデータメモリ343に与えられ、そこでストアされる。コードデータメモリ343内にストアされたデータは、セレクトバスSB4およびコードデータバスインターフェイス回路317を介して外

部のコードバスCB(図1)に出力される。

【0284】図23は、図19に示したピクセルプロセッシングユニット31における復号化のための動作フロー図である。図23を参照して、コードデータメモリ343内にストアされている復号化されるべきデータは、セレクトバスSB4を介して量子化器314に与えられる。量子化器314は、セレクトバスSB5を介してパラメータメモリ344を参照することにより、逆量子化演算を実行する。逆量子化演算結果を示すデータは、セレクトバスSB3を介してDCT/I DCT演算器313に与えられる。

【0285】演算器313は、与えられたデータについて逆DCT演算を実行する。演算結果を示すデータは、セレクトバスSB2を介して復号器310に与えられる。復号器310は、与えられたデータについてリミット処理を行ない、処理されたデータは画像メモリ335に与えられ、そこでストアされる。

【0286】(i i) MPEG規格に従う符号化両方向予測の場合

図24を参照して、符号化処理において、画像メモリ332内にストアされた前方向の画像データおよび画像メモリ333内にストアされた後ろ方向の画像データがフィルタ315に与えられる。フィルタ315は、与えられたデータについて1/2精度画像生成処理および画素補間処理を実行する。処理されたデータは画像メモリ334に与えられ、そこでストアされる。

【0287】画像メモリ334内にストアされたデータはセレクトバスSB1を介して差分生成器310に与えられる。一方、画像メモリ331内にストアされている符号化対象の画像データも差分生成器310に与えられる。差分生成器310は、与えられたデータについて画素差分演算を実行する。

【0288】DCT/I DCT演算器313は、セレクトバスSB2を介して、差分生成器310から差分データを受ける。演算器313は、受信したデータについてDCT演算を行ない、演算結果を示すデータはセレクトバスSB3を介して量子化器314に与えられる。量子化器314は、セレクトバスSB5を介してパラメータメモリ344を参照することにより、与えられたデータについての量子化演算を行なう。量子化演算結果を示すデータは、セレクトバスSB4を介してコードデータメモリ343に与えられ、そこでストアされる。

【0289】図25を参照して、復号化処理において、コードデータメモリ343内にストアされたデータ、すなわち復号化されるべきデータはセレクトバスSB4を介して量子化器314に与えられる。量子化器314は、セレクトバスSB5を介してパラメータメモリ344を参照することにより、与えられたデータについて量子化処理を行なう。量子化処理結果を示すデータはセレクトバスSB3を介してDCT/I DCT演算器313

に与えられる。

【0290】演算器313は、与えられたデータについて逆DCT処理を実行する。処理結果を示すデータはセレクトバスSB2を介して復号器310に与えられる。復号器310は、画像メモリ334内にストアされているデータをセレクトバスSB1を介して受ける。復号器310は、与えられたデータに基づいて画素の復号処理(加算処理)およびリミット処理を実行する。処理されたデータは画像メモリ335に与えられ、そこでストアされる。

【0291】(5) バイプライン処理(図26ないし図29)

図26は、図19に示したピクセルプロセッシングユニット31における符号化のためのバイプライン処理を示すタイムチャートである。図26を参照して、動作期間Aにおいて、画像メモリ331のための書込データが内部ピクセルバスIPB2を介して転送される。動作期間Bにおいて、画像メモリ332のための書込データが内部ピクセルバスIPB2を介して転送される。動作期間Cにおいて、画像メモリ333のための書込データが内部ピクセルバスIPB2を介して転送される。

【0292】動作期間Dにおいて、フィルタ315が動作する。動作期間Eにおいて、DCT/I DCT演算器313および量子化器314によるDCT演算および量子化演算が行なわれる。動作期間Fにおいて、演算器313、量子化器314および画像復号器310により逆量子化演算、逆DCT演算および復号処理が行なわれる。動作期間Gにおいて、画像メモリ335についての読出動作が行なわれる。動作期間Hにおいて、コードデータバスインターフェイス回路317により、ランーレベルバッキング処理および出力処理が行なわれる。

【0293】図26の処理は、各マクロブロックごとに順次に行なわれる。すなわち、図26では1つのマクロブロックについての画像データの処理だけが示されているが、多数のマクロブロックについてバイプライン処理が行なわれる。複数のマクロブロックについてのバイプライン処理を以下に説明する。

【0294】図27は、フレーム内予測におけるバイプライン処理を示すタイムチャートである。図27を参照して、添字0は0番目のマクロブロックについてのデータ処理を示し、添字1は1番目のマクロブロックについての処理を示すものとする。

【0295】図28は、片方向予測におけるバイプライン処理を示すタイムチャートである。また、図29は、両方向予測におけるバイプライン処理を示すタイムチャートである。

【0296】図27ないし図29からわかるように、ピクセルプロセッシングユニット3においても複数のマクロブロックについてのデータ処理がバイプライン処理制御の下で行なわれるので、ピクセルプロセッシングユニット



3における処理のみについてもデータ処理を効率よく行なうことができる。言い換えると、DCT演算および量子化演算を高速で効率よく実行できるピクセルプロセッシングユニットが提供され得る。

#### 【0297】(6) ピクセルプロセッシングユニット33

図93は、ピクセルプロセッシングユニットのさらに他の一例を示すブロック図である。図93に示すピクセルプロセッシングユニット33は、たとえば、図83~図89、図91に示したピクセルプロセッシングユニットとして用いられる。

【0298】図93において、図18に示すピクセルプロセッシングユニット31と異なる点は、2組のピクセルバスインタフェース回路318aおよび318bを備えた点である。その他の点は、図18に示すピクセルプロセッシングユニット31と同様であるので、同一部分には同一番号を付し、以下その説明を省略する。

【0299】図94は、図93に示したピクセルプロセッシングユニット33のより詳細なブロック図である。図94を参照して、ピクセルバスIPB2aおよびIPB2bは、それぞれ32ビットのバス幅を有しており、それぞれが専用のピクセルバスインタフェース回路318aおよび318bと画像メモリ331~333、335に接続されている。その他の点は、図19に示すピクセルプロセッシングユニット31と同様であるので、同一部分には同一番号を付し、以下その説明を省略する。

【0300】次に、ピクセルプロセッシングユニット33の動作について説明する。図94を参照して、動作の一例として、MPEG規格における動画像符号化処理について説明する。

【0301】MPEG規格では、前方向予測、後ろ方向予測、両方向予測の3種類の予測が使用され、各予測の種類に応じて、外部から予測データを転送する必要がある。予測データの転送は、ピクセルバスインタフェース回路318a、318bのどちらか一方を介して行なわれる。また、符号化対象の画像データもピクセルバスインタフェース回路318a、318bの一方を介して行なわれる。画像圧縮処理は、フィルタ325、DCT/IDCT演算器313、量子化器314、差分生成器および画像復号器310において行なわれ、コードデータバスインタフェース回路317を介してデータが出力される。一方、ピクセルプロセッシングユニット33内部で局部復号された画像は、ピクセルバスインタフェース回路318aおよび318bの両方を介してそれぞれ別々の外部装置に転送される。転送された局部復号データの一方は、たとえば、図87に示す動き予測ユニット47の入力データとなる。転送された局部復号データの他方は、次のフレーム処理における予測画像データとなる。

【0302】上記のように、図94に示すピクセルプロ

セッシングユニット33は、局部復号画像データを同時に複数の外部装置へ転送することができ、さらに、参照画像データを動き予測ユニットからローカルメモリへ転送しているときに、他のポートから予測画像データを転送することができる。また、予測画像用の転送ポートも1つに固定されず、どちらのポートからも転送することができ、システムの構成およびデータの転送方法を容易に変えることが可能となる。

【0303】図95は、図93に示すピクセルプロセッシングユニット33の他の例を示すブロック図である。図95に示したピクセルプロセッシングユニット33aも、たとえば、図83~図89、図91に示したピクセルプロセッシングユニットとして用いられる。

【0304】図95を参照して、図94に示したピクセルプロセッシングユニット33と比較すると、ピクセルプロセッシングユニット33aは、ピクセルバスIPB2が2つのピクセルバスインタフェース回路318aおよび318bに接続されており、内部バスがピクセルデータの転送に共通に使用される。その他の点は、図94に示すピクセルプロセッシングユニット33と同様であるので以下その説明を省略する。

【0305】次に、ピクセルプロセッシングユニット33aの動作について説明する。図95を参照して、内部ピクセルバスIPB2が共通して使用される。したがって、局部復号データを同時に2つのピクセルバスインタフェース回路318aおよび318bを介して転送する場合であれば、図94に示すピクセルプロセッシングユニット33と同様な動作が行なわれる。

【0306】上記の構成により、ピクセルプロセッシングユニット33aは、局部復号データを同時に複数の外部装置へ転送することができ、さらに、ローカルメモリから動き予測ユニットへ参照画像データを転送しているときに他のポートからピクセルプロセッシングユニット35へデータを転送することができる。また、ピクセルバスIPB2を共通化して使用するため、回路面積を削減することができ、高集積化に適する。

#### 【0307】4. 可変長プロセッサ

以下の記載では、2つのシステム構成が提案され、それぞれのシステム構成を実現するためのプロセッサについて説明がなされる。

#### 【0308】(1) 第1のシステム構成 (図30ないし図35)

図30は、可変長処理のための第1のシステム構成を示すブロック図である。図30に示したシステム構成を有する可変長プロセッサを、たとえば図9に示した可変長プロセッサ12に適用することができる。

【0309】図30を参照して、第1のシステム構成は、可変長符号化用テーブルメモリ401と、可変長復号化用テーブルメモリ402と、可変長符号列入力メモリ403と、可変長符号列出力メモリ404と、被符号

化データ入力メモリ405と、被符号化データ出力メモリ406とを含む。可変長プロセッサ121は、バスラインBUを介して各メモリ401ないし406に接続される。

【0310】図31は、第1のシステム構成における可変長符号化処理のフロー図である。図31を参照して、以下に可変長符号化のための処理について説明する。まず、ステップ431において、被符号化データ入力メモリ405から変換対象の被符号化データが可変長プロセッサ121内の内部メモリに与えられる。ここで、被符号化データは、“RUN”および“LEVEL”の組合せにより規定される。以下の記載では、被符号化データを(RN, LV)により表わすものとする。与えられた被符号化データは、可変長プロセッサ121内のアドレス生成器(図示せず)に与えられ、可変長符号化用テーブルメモリ401の参照により可変長符号およびその符号長が得られる。可変長符号および符号長は可変長プロセッサ121内の内部メモリにストアされる。

【0311】ステップ433において、得られた可変長符号がエスケープコード(ESCAPE)であるか否かが判定される。エスケープコードが得られたとき、ステップ434において、エスケープコードおよびデータ(RN, LV)を結合することにより、等長コードが生成される。等長コードの生成の後、処理はステップ435に進む。一方、ステップ433において、エスケープコード、すなわちコード“000001”が得られなかったとき、処理はステップ435に進む。

【0312】ステップ435において、可変長符号のデータ結合により、可変長符号列が生成される。可変長符号列の生成の後、ステップ436において、可変長符号列が出力される。

【0313】図32は、第1のシステム構成における可変長復号化処理のフロー図である。図32を参照して、以下に可変長復号化のための処理について説明する。

【0314】まず、ステップ441において、図30に示した可変長符号列入力メモリ403から可変長符号列がバスラインBUを介して可変長プロセッサ121に与えられる。可変長プロセッサ121は、ステップ442において、先頭の可変長符号を抜き出す。すなわち、直前の可変長符号の符号長から次の可変長符号が先頭が認識され、次の可変長符号の先頭から、可変長符号の最大符号長である14ビットのデータが抜き出される。

【0315】次に、ステップ443において、復号化用テーブルメモリ402を参照することにより、可変長符号および符号長、すなわちデータ(RN, LV)を得る。すなわち、得られた可変長符号の先頭から、可変長符号の最大符号長である14ビットのデータが図示されていないアドレス生成器に与えられ、アドレス生成器により復号化用テーブルメモリ402を参照するためのアドレス信号が生成される。このアドレス信号を用いて復

号化用テーブルメモリ402が参照され、可変長符号およびその符号長が得られる。

【0316】ステップ444において、エスケープコード“000001”が得られたか否かが判定される。エスケープコードが得られたとき、ステップ445において、可変長符号列から、エスケープコード“000001”の後の16ビットのデータが復号データ(RN, LV)として抜き出される。ステップ445の処理の後、処理はステップ446に進む。ステップ444において、エスケープコードが得られなかったとき、処理はステップ446に進む。

【0317】ステップ446において、復号化されたデータ(RN, LV)が出力される。次に、図30に示した可変長符号化用テーブルメモリ401および可変長復号化用テーブルメモリ402においてストアされるデータのデータ記憶構造について説明する。図33は、可変長符号化用テーブルメモリ401のデータ記憶構造図である。図33に示すように、可変長符号化用テーブルメモリ401は、データ(RN, LV)により参照することにより、ストアされている可変長符号VCおよび符号長CLを出力する。ランデータRNは、6ビットのビット長を有する。レベルデータLVは、10ビットのビット長を有する。可変長符号VCは、14ビットのビット長を有する。符号長データCLは4ビットの符号長を有する。

【0318】図34は、可変長復号化用テーブルメモリ402のデータ記憶構造図である。図34に示されるように、可変長復号化用テーブルメモリ402は、可変長符号VCにより参照することにより、レベルデータLV、ランデータRNおよび符号長データCLを出力する。符号長データCLは、4ビットのビット長を有している。

【0319】可変長復号化用テーブルメモリ402を参照するのに用いられる入力データVCは、可変長符号の最大符号長と同じビット長を有している。したがって、入力データVCの上位ビットに最大符号長よりも短い符号が存在する場合には、下位ビットにいかなるビットパターンがあっても、上位のビットの復号結果が優先的に出力され得る。たとえば、図34に示した2つの入力データ415および417のいずれを用いてテーブルメモリ402を参照しても、同じデータ416および418が出力される。

【0320】次に、可変長符号列の生成処理について説明する。図35は、可変長符号列の生成処理を説明するための処理フロー図である。1つの可変長符号列を生成するため、6つのレジスタ421ないし426が準備されているものと仮定する。また、可変長処理プロセッサがnビットのデータ処理帯域を有しているものと仮定し、したがって、各レジスタ421ないし426がnビットのビット幅を有しているものと仮定する。

【0321】図35を参照して、レジスタ421が可変長符号VC1を保持し、レジスタ422が可変長符号VC1の符号長kを保持しているものとする。レジスタ423が可変長符号VC2を保持し、レジスタ424が可変長符号VC2の符号長jを保持しているものとする。レジスタ425が可変長符号VC3を保持しているものとし、レジスタ426が可変長符号VC3の符号長mを保持しているものとする。

【0322】まず、レジスタ421内に保持された可変長符号VC1がレジスタ426に与えられる。レジスタ426は、可変長符号VC1のそれぞれのビットをMSBから順にストアする。したがって、レジスタ426は、MSBからkビットの可変長符号VC1を保持することになる。

【0323】次に、ステップ427において、可変長符号VC2の符号長jが $(n-k)$ と比較される。j <  $(n-k)$ の場合では、レジスタ423内に保持された可変長符号VC2がレジスタ426に与えられる。レジスタ426は、可変長符号VC1の後に可変長符号VC2を保持する。レジスタ426における動作は、可変長符号VC2をkビットだけLSB側にシフトした後、可変長符号VC1およびVC2の対応するビット間で累算または論理処理を行なうことによりなされる。その結果、レジスタ426は、 $(k+j)$ ビットの結合されたデータ、すなわち可変長符号列 $(VC1+VC2)$ を保持することになる。

【0324】この段階において、レジスタ426は $(n-k-j)$ ビットの領域を残しているので、レジスタ426はさらに可変長符号VC3を保持するのに使われる。

【0325】ステップ427においてj >  $(n-k)$ の場合では、レジスタ423内の可変長符号VC2のうち、 $(n-k)$ ビットのデータがレジスタ426において保持される。すなわち、可変長符号VC2をkビットだけシフトさせた後、可変長符号VC1およびVC2の間で累算または論理処理が行なわれる。その結果、レジスタ426は、kビットの可変長符号VC1および $(n-k)$ ビットの可変長符号VC2の一部により満たされることになる。

【0326】ステップ428においてレジスタ426内に満たされたデータが出力される。データ出力の後、レジスタ423内に残された $(j+k-n)$ ビットの可変長符号VC2がレジスタ426に与えられる。レジスタ426は、与えられたデータ、すなわち可変長符号VC2の残されたビットをMSBの側から順に保持する。

【0327】このようにして、レジスタ426が順次にと与えられる可変長符号により満たされ、満たされたnビットのデータが可変長符号列として順次に出される。

【0328】可変長符号列の切出し処理では、上記の可変長符号列生成処理と同様に、データシフト、論理演

算、可変長符号の符号長のカウントおよび判断処理を繰返し実行することにより行なわれる。

【0329】(2) 可変長プロセッサ(専用回路: 図36)

図36は、可変長プロセッサの第1の例を示すブロック図である。図36を参照して、可変長プロセッサ122は、アドレスレジスタ451と、ROM452と、出力処理回路453とを含む。これらの内部回路451、452および453は専用回路により構成される。

【0330】(3) 可変長プロセッサ(デジタルシグナルプロセッサ: 図37)

図37は、可変長プロセッサの第2の例を示すブロック図である。この可変長プロセッサ123は、デジタルシグナルプロセッサにより構成される。図37を参照して、可変長プロセッサ123は、外部インターフェイス回路461と、ALU462と、シフタ回路463と、メモリ464と、命令メモリ465と、制御回路466とを含む。

【0331】(4) 可変長プロセッサ(汎用マイクロプロセッサ: 図38)

図38は、可変長プロセッサの第3の例を示すブロック図である。この可変長プロセッサ124は、汎用のマイクロプロセッサにより構成される。図38を参照して、可変長プロセッサ124は、レジスタファイル473を含む実行ユニット(EU)471と、リケーションレジスタファイル474を含むバスインターフェイスユニット472と、ALU475と、フラグレジスタ476と、バスインターフェイスユニット477と、命令キュー478と、制御/タイミング回路479とを含む。

【0332】図36、図37および図38に示した可変長プロセッサ122、123および124は、いずれも図30に示した第1のシステム構成を形成しており、したがって第1のシステム構成における上記の処理が行なわれる。

【0333】(5) 第2のシステム構成(図39)

図39は、可変長処理のための第2のシステム構成を示すブロック図である。図39に示したシステム構成は、たとえば図1に示した画像圧縮/伸張処理装置101において形成される。

【0334】図39を参照して、ワークメモリ7は、可変長符号化用テーブルメモリ481と、可変長復号化用テーブルメモリ482とを含む。これらのテーブルメモリ481および482は、バス491および492を介して可変長プロセッサ125に接続される。

【0335】バッファメモリ6は、可変長符号列入力メモリ483と、可変長符号列出力メモリ484と、被符号化データ入力メモリ485と、被符号化データ出力メモリ486とを含む。これらの符号列入力メモリ483および出力メモリ484は、バス493および495を介して可変長プロセッサ125に接続される。また、符

号列入力メモリおよび符号列出力メモリは、バス494を介して可変長プロセッサ125およびホストインターフェイス回路1に接続される。

【0336】被符号化データ入力メモリ485および被符号化データ出力メモリ486は、バス496および498を介して可変長プロセッサ125に接続される。また、入力メモリ485および出力メモリ486は、バス497を介して可変長プロセッサ125およびピクセルプロセッシングユニット3に接続される。

【0337】(6) 可変長プロセッサ(図40)  
図40は、図39に示した可変長プロセッサ125のブロック図である。したがって、図40に示した可変長プロセッサ125は、たとえば図9に示した可変長プロセッサ12に適用され得る。

【0338】図40を参照して、可変長プロセッサ125は、制御器501と、アドレス生成器502と、外部インターフェイス回路503と、データ演算器504と、可変長符号列生成/分解回路505と、外部インターフェイス回路506と、外部インターフェイス回路507と、データメモリ508とを含む。これらの内部回路501ないし508は、第1の内部バス509を介して接続される。一方、外部インターフェイス回路503および可変長符号列生成/分解回路505は、第2の内部バス510を介して接続される。

【0339】外部インターフェイス回路503は、バス491および492を介して図9に示したメインポート17に接続される。外部インターフェイス回路506は、バス493、494および495を介して図9に示したコードデータポート20に接続される。

【0340】(i) アドレス生成器(図41)  
図41は、図40に示したアドレス生成器502のブロック図である。図41を参照して、アドレス生成器502は、正リミット値レジスタ520と、負リミット値レジスタ521と、PEモードレジスタ522と、ページレジスタ523と、アドレスレジスタ524および525と、エスケープデコーダ526と、エスケープエンコーダ527と、エスケープレジスタ528と、データレジスタ529と、セクタ回路530と、リミッタ回路531と、プライオリティエンコーダ532と、シフタ回路533と、外部アドレスレジスタ534と、パイプラインレジスタ561、562、563と、OR回路(論理処理回路)564とを含む。

【0341】レジスタ520ないし525は、第1の内部バス509に接続される。セクタ回路530は、第1および第2の内部バス509および510に接続される。データレジスタ529および外部アドレスレジスタ534は、図40に示した外部インターフェイス回路503に接続される。

【0342】図42は、図41に示したアドレス生成器502における可変長符号化処理のフロー図である。ア

ドレス生成器502の詳細な処理は後で説明されるが、まず、基本的な動作について説明する。

【0343】図42を参照して、ステップ601において、図41に示したレジスタ520ないし523に所定のデータが設定される。ステップ602において、アドレスレジスタ525に被符号化データ(RN, LV)が入力される。被符号化データ(RN, LV)は、合計16ビットを有しており、上位の10ビットによりレベルデータLVが規定され、下位の6ビットによりランデータRNが規定される。ステップ602の後、ステップ603ないし605およびステップ606ないし607の処理が並列に行なわれる。

【0344】ステップ603において、アドレスレジスタ525において保持されたデータがリミッタ回路531に与えられる。リミッタ回路531は、与えられたデータのうち上位の10ビット、すなわちレベルデータLVについて、正リミット値レジスタ520および負リミット値レジスタ521によって規定された範囲内に制限する。リミット処理の結果、6ビットのレベルデータLVおよび6ビットのランデータRNを有する合計12ビットの被符号化データが得られる。

【0345】12ビットの被符号化データはOR回路564に与えられ、与えられたデータとページレジスタ523から与えられるデータとの間で論理処理が行なわれ、結合された20ビットのデータが生成される(ステップ604)。生成されたデータは、外部アドレスレジスタ534に格納される(ステップ605)。

【0346】一方、ステップ606において、レジスタ525内の被符号化データがエスケープエンコーダ527に与えられ、エスケープエンコーダ527による等長コードの生成が行なわれる。すなわち、被符号化データが等長コードとして符号化される場合の等長コード生成処理が行なわれる。ステップ607において、生成された等長コードがエスケープレジスタ528に格納される。

【0347】図43は、図41に示したアドレス生成器502における可変長復号化処理のフロー図である。可変長復号化のための基本的な処理について説明する。

【0348】図43を参照して、まずステップ611において、レジスタ520ないし523に所定のデータが設定される。ステップ612において、復号化されるべき可変長符号列がアドレスレジスタ524に入力される。レジスタ524は、与えられた可変長符号列の最初のビットから22ビット分をMSB側から順に保持する。ステップ612の後、ステップ613ないし616の処理およびステップ617ないし618の処理が並列に行なわれる。

【0349】ステップ613において、アドレスレジスタ524内に保持されたデータ、すなわち可変長符号列がプライオリティエンコーダ532に与えられる。プラ

イオリティエンコーダ532は、与えられたデータについてそのMSBから連続する“0”の数SNを演算により求める。

【0350】ステップ614において、アドレスレジスタ524内のデータがシフト回路533に与えられる。シフト回路533は、ステップ613において求められた連続数SNに応答して、与えられたデータのうちMSBから(SN+1)番目より下位の6ビットのデータを抜き出す。抜き出されたデータはOR回路564に与えられる。

【0351】ステップ615において、OR回路564による論理和処理が行なわれ、20ビットのデータが生成される。生成されたデータは外部アドレスレジスタ534に格納される(ステップ616)。

【0352】一方、ステップ617において、アドレスレジスタ524において保持されたデータがエスケープデコーダ526に与えられる。エスケープデコーダ526は、与えられたデータがエスケープコードを用いた等長コードであるとみなすことにより復号処理を行なう。復号されたデータはエスケープレジスタ528に格納される(ステップ618)。

【0353】(i i) 可変長符号列生成／分解回路(図44)

図44は、図40に示した可変長符号列生成／分解回路505のブロック図である。図44を参照して、可変長符号列生成／分解回路505は、バスレジスタ536と、パレルシフト(BSFT)537と、加算器538と、コード長レジスタ539と、コード出力レジスタ540と、コード入力レジスタ541と、FIFO回路542および543と、制御器544とを含む。バスレジスタ536は、第1の内部バス509に接続される。加算器538は、第2の内部バス510に接続される。FIFO回路542および543は、信号線42aないし43cを介して図47に示した外部インターフェイス回路506(後で説明される)に接続される。

【0354】図45は、図44に示した可変長符号列生成／分解回路505における可変長符号化処理のフロー図である。図45を参照して、まず、可変長符号化処理における基本的な動作について説明する。

【0355】ステップ621において、可変長符号VCが内部バス509を介してバスレジスタ536に与えられる。可変長符号VCのコード長データCLが第2の内部バス510を介して加算器538に与えられる。

【0356】ステップ622において、パレルシフト537が、既に入力されている古い可変長符号VC'に現在与えられた新しい可変長符号VCを結合し、可変長符号列VCTを生成する。ステップ623において、加算器538が、新しい可変長符号の符号長CLを累積的に加算されている符号長和CLSに加算する。

【0357】ステップ624において、符号長和CLS

が8ビットを超えるか否かが判定される。CLS $\geq$ 8であるとき、処理はステップ625に進む。

【0358】ステップ625において、可変長符号列VCTの最初のビットから8ビットのデータがFIFO回路542に与えられ、そこで格納される。ステップ626において、減算、すなわちCLS=CLS-8を実行することにより、新しい符号長和が求められる。ステップ626の後、処理はステップ624に戻る。

【0359】ステップ624において、もしCLS<8であるとき、この符号化動作が終了する。

【0360】図46は、図44に示した可変長符号列生成／分解回路505における可変長復号化処理のフロー図である。図46を参照して、まず、ステップ631において、第1の内部バス509上に可変長符号列VCTが与えられる。ステップ632において、第2の内部バス510を介して、可変長符号列VCTに含まれる最初の可変長符号VCの符号長CLが加算器538に与えられる。加算器538は、ステップ633において、新しい符号長CLを古い符号長の和CLSに加算する。

【0361】ステップ634において、符号長和CLSが8ビット以上であるかどうか判定される。CLS $\geq$ 8であるとき、処理はステップ635に進む。

【0362】ステップ635において、可変長符号列入力メモリ483から1ワードのデータが与えられ、現在の可変長符号列に結合される。ステップ636において、結合された可変長符号列から最初の8ビットのデータが捨てられる。ステップ637において、CLS=CLS-8を実行することにより、新しい符号長和CLSが得られる。ステップ637の後、処理はステップ634に戻る。

【0363】ステップ634において、CLS<8のとき、この復号化処理が終了する。

(i i i) 外部インターフェイス回路506(図47)

図47は、図40に示した外部インターフェイス回路506のブロック図である。図47を参照して、外部インターフェイス回路506は、DMA機能を有する制御器545と、リードアクセスカウンタ546および549と、ライトアクセスカウンタ547および548と、減算器565および566と、比較器550および558と、フラグ生成レジスタ551ないし554と、ライトデータレジスタ556と、リードデータレジスタ557と、セレクタ555とを含む。

【0364】制御器545は、信号線42b、42c、43bおよび43cを介して図44に示したFIFO回路542および543に接続される。レジスタ556は、信号線42aを介して図44に示したFIFO回路542に接続される。レジスタ557は、信号線43aを介して図44に示したFIFO回路543に接続される。カウンタ546および547は、信号線493を介

して図3.9に示した可変長符号列入力メモリ4.3.8および可変長符号列出力メモリ4.8.4に接続される。カウンタ5.4.8および5.4.9は、信号線4.9.4を介して図3.9に示した可変長符号列入力メモリ4.8.3および可変長符号列出力メモリ4.8.4ならびにホストインターフェイス回路1に接続される。セクタ5.5.5は、信号線4.9.5を介して図3.9に示した可変長符号列入力メモリ4.8.3および可変長符号列出力メモリ4.8.4に接続される。

【0365】カウンタ5.4.6は、図3.9に示した可変長符号列入力メモリ4.8.3へのリードアクセス回数をカウントする。カウンタ5.4.7は、図3.9に示した可変長符号列出力メモリ4.8.4へのライトアクセス回数をカウントする。カウンタ5.4.8は、他の回路から可変長符号列入力メモリ4.8.3へのライトアクセス回数をカウントする。カウンタ5.4.9は、他の回路から可変長符号列出力メモリ4.8.4へのリードアクセス回数をカウントする。

【0366】フラグレジスタ5.5.1は、可変長符号列入力メモリ4.8.3のフル状態を示すフルフラグを生成し、かつそれを保持する。レジスタ5.5.2は、可変長符号列入力メモリ4.8.3のエンプティ状態を示すエンプティフラグを生成し、それを保持する。フラグレジスタ5.5.3は、可変長符号列出力メモリ4.8.4のフル状態を示すフルフラグを生成し、かつそれを保持する。カウンタ5.5.4は、可変長符号列出力メモリ4.8.4のエンプティ状態を示すエンプティフラグを生成し、かつそれを保持する。

【0367】比較器5.5.0は、可変長符号列入力メモリ4.8.3のフル状態を示すフルフラグFF1またはエンプティ状態を示すエンプティフラグEF1を出力する。比較器5.5.8は、可変長符号列出力メモリ4.8.4のフル状態を示すフルフラグFF2またはエンプティフラグEF2を出力する。

【0368】図4.8は、図4.7に示した外部インターフェイス回路5.0.6における可変長符号化処理のフロー図である。図4.8を参照して、可変長符号化処理のための基本的な動作について説明する。

【0369】ステップ6.4.1において、可変長符号列出力メモリ4.8.4がエンプティ状態にあるか否かが検出される。すなわち、比較器5.5.8からエンプティフラグEF2が出力されるか否かが判定される。エンプティフラグEF2が検出されないとき、処理はステップ6.4.2に進む。もし、エンプティフラグEF2が検出されたとき、処理は終了する。

【0370】ステップ6.4.2において、可変長符号列出力メモリ4.8.4がフル状態にあるか否かが検出される。すなわち、比較器5.5.8からフルフラグFF2が出力されるか否かが判定される。フルフラグFF2が検出されないとき、処理はステップ6.4.3に進む。フルフラグFF2が検出されたとき、処理は終了する。

【0371】ステップ6.4.3において、可変長符号列出

力メモリ4.8.4にストアされた1ワードのデータが読出され、外部可変長符号列出力メモリに格納される。ステップ6.4.4において、ライトアクセスカウンタ5.4.7がカウントアップされる。ステップ6.4.4の後、処理はステップ6.4.1に戻る。

【0372】図4.9は、図4.7に示した外部インターフェイス回路5.0.6における可変長復号化処理のフロー図である。図4.9を参照して、まず、ステップ6.5.1において、可変長符号列入力メモリ4.8.3がフル状態にあるか否かが検出される。すなわち、比較器5.5.0からフルフラグFF1が出力されるか否かが検出される。フルフラグFF1が検出されないとき、処理はステップ6.5.2に進む。フルフラグFF1が検出されたとき、処理は終了する。

【0373】ステップ6.5.2において、可変長符号列入力メモリ4.8.3がエンプティ状態にあるか否かが検出される。すなわち、比較器5.5.0からエンプティフラグEF1が出力されるか否かが検出される。エンプティフラグEF1が検出されないとき、処理はステップ6.5.3に進む。エンプティフラグEF1が検出されたとき、処理は終了する。

【0374】ステップ6.5.3において、外部可変長符号列入力メモリにストアされている1ワードのデータが読出され、可変長符号列入力メモリ4.8.3に格納される。ステップ6.5.4において、外部可変長符号列入力メモリのためのリードアクセスカウンタ4.4.6がカウントアップされる。ステップ6.5.4の後、処理はステップ6.5.1に戻る。

【0375】(iv) より詳細な可変長符号化/復号化処理の説明

以下の記載では、図3.9に示した可変長プロセッサ1.2.5における可変長符号化/復号化処理についてより詳細に説明する。

【0376】図5.0は、図3.9に示した可変長プロセッサ1.2.5における処理において使用される可変長符号テーブルである。図5.0を参照して、この可変長符号テーブルの左側の4つの欄は、CCITTによるH. 261勧告における可変長符号テーブルに相当する。すなわち、H. 261に規定されたランデータ(ゼロラン長)RN、レベルデータ(係数)LV、符号長CLおよび可変長符号VCが左側の4つの欄に記載されている。一方、右側の3つの欄は、グループ化された可変長符号テーブルを示している。すなわち、可変長符号VCの最初のビットから連続する“0”の個数に従って、可変長符号VCおよび符号長CLが合計9つのグループGR0ないしGR8に分けられている。

【0377】たとえば、グループGR0は、可変長符号VCの最初のビットが“0”でない可変長符号VCを含む。グループGR1は、可変長符号VCの最初の1つのビットだけが“0”である可変長符号VCを含む。グル

ープGR2は、可変長符号VCの最初のビットおよび次のビットが“0”である可変長コードVCを含む。同様に、グループGR8は、可変長符号VCの最初のビットから8つの“0”を含む可変長コードVCを含む。このようにグループ化された可変長コードVCおよび符号長CLは、後で説明するように、可変長プロセッサ125における処理において使用される。

【0378】まず、可変長符号化処理について説明する。可変長符号化処理は、基本的に、既に説明した図3.1に示したフロー図に従って実行される。まず、図3.9に示した被符号化データ入力メモリ485から図4.0に示した可変長プロセッサ125内のデータメモリ508に被符号化データ、すなわちデータ(RN, LV)が入力される。入力されたデータは、アドレス生成器502に与えられ、アドレス生成器502は可変長符号化変換のためのテーブルメモリアドレスを生成する。テーブルアドレスの生成と並行して、図4.1に示したエスケープデコーダ526が、エスケープコードを用いた等長コードを生成する。生成された等長コードはエスケープレジスタ528に与えられそこで保持される。アドレス生成器502の詳細な動作については後述される。

【0379】アドレス生成器502により生成されたテーブルアドレスを用いて、可変長符号化用テーブルメモリ481が参照され、ストアされていた可変長コードVC、符号長CLおよびエスケープフラグESFが読出される。可変長符号VCおよび符号長CLは図4.1に示したデータレジスタ529に与えられ、そこで保持される。

【0380】可変長符号化用テーブルメモリ481へのアクセスが完了した後、エスケープレジスタ528およびデータレジスタ529のいずれか一方のデータが可変長符号生成/分解回路505に出力される。この選択は、セクタ回路530により行なわれる。すなわち、2つのレジスタ528および529内に保持されたデータのうち、最上位ビット(MSB)に回答して、セクタ530がいずれかのデータを選択的に出力する。

【0381】すなわち、可変長符号化用テーブルメモリ481は、図5.1に示すように、最上位ビットにおいて被符号化データがエスケープコードの適用範囲内であるか否かを示すエスケープフラグESFを記憶している。したがって、データレジスタ529に与えられたデータの最上位ビット、すなわちフラグESFがエスケープコードの適用を示しているとき、セクタ530はデータレジスタ529により保持されているデータを選択的に出力する。これにより、可変長符号化用テーブルメモリ481を参照するだけで、被符号化データにエスケープコードを適用させる必要があるか否かの判断ができ、この判断のためにプログラムによる判断処理が必要とならない。

【0382】これに加えて、図4.1に示したアドレス生

成器502では、可変長符号化用テーブルメモリ481へのアクセスとエスケープコードを用いた等長コードの生成処理が並列に、すなわち同時に実行され得るので、可変長符号化用テーブルメモリ481へのアクセスによる処理時間の増加が防がれる。

【0383】可変長符号化用テーブルメモリ481の参照により得られた可変長符号VCは、図4.1に示した第1の内部バス509を介して可変長符号生成/分解回路505に転送される。一方、その符号長CLは、第2の内部バス510を介して可変長符号生成/分解回路505に転送される。

【0384】可変長符号生成/分解回路505は、与えられた可変長符号VCとその符号長CLから可変長符号列VCTを生成する。可変長符号列の生成動作は後で説明される。生成された可変長符号列VCTは、外部インターフェイス回路506を介して図3.9に示した可変長符号列出力メモリ484に出力される。このようにして、可変長符号化処理が完了される。

【0385】次に、可変長復号化処理について説明する。まず、図3.9に示した可変長符号列入力メモリ483から外部インターフェイス回路506を介して可変長符号列が可変長符号列生成/分解回路505に入力される。可変長符号列生成/分解回路505は、与えられた可変長符号列から復号対象となる可変長符号を切出し、可変長符号のビットをMSB側にシフトさせる。シフトされた可変長符号は、第1の内部バス509を介してアドレス生成器502に転送される。可変長符号列生成/分解回路505における詳細な処理は後で説明される。

【0386】アドレス生成器502は、与えられた可変長符号に回答して、図3.9に示した可変長復号化用テーブルメモリ482を参照するためにテーブルアドレスを生成する。生成されたテーブルアドレスは、外部インターフェイス回路503を介して可変長復号化用テーブルメモリ482に与えられる。その結果、復号された可変長符号、符号長データおよびエスケープフラグESFが図4.1に示したデータレジスタ529に保持される。このとき、この処理と並列して、可変長符号がエスケープコードエンコーダ527に与えられ、エスケープコードを用いた等長コードの復号処理が行なわれる。結果を示すデータは、エスケープレジスタ528に与えられ、そこで保持される。

【0387】可変長符号化処理の場合と同様に、可変長復号化用テーブルメモリ482は、エスケープフラグESFを記憶している。したがって、テーブルメモリ482へのアクセスが終了した時点で、データレジスタ529の最上位ビット(MSB)にエスケープフラグESFが保持される。エスケープフラグESFに回答して、エスケープレジスタ528およびデータレジスタ529において保持されたデータのうちの1つがセクタ530を介して選択的に出力される。出力されたデータは、図

40に示したデータメモリ508に与えられる。

【0388】一方、符号長データは第2の内部バス510を介して可変長符号列生成／分解回路505に転送される。可変長符号列生成／分解回路505は、与えられた符号長データを用いて、次の可変長符号の切出し処理を行なう。データメモリ508に与えられた復号結果を示すデータは、外部インターフェイス回路507を介して被符号化データ出力メモリ486に出力される。これにより、可変長復号化処理が終了される。

【0389】以下の記載では、図41に示したアドレス生成回路502のより詳細な動作が説明される。

【0390】図52は、可変長符号化処理における被符号化データのデータフォーマット図である。図52を参照して、被符号化データは、10ビットを有するレベルデータLVと、6ビットを有するランデータRNとを含む。したがって、被符号化データは合計16ビットのビット長を有する。

【0391】一方、図50に示した可変長符号テーブルの左側の4つの欄を参照すると、レベルデータLV（このデータはH. 261勧告において絶対値データとして規定されている）は、-15ないし+15の範囲の値を有する。この範囲を超えるデータは、H. 261勧告においてエスケープコード（ESCAPE）により表現されることになっている。このことは、レベルデータLVを表現するために必要なビット数が5ビットであることを意味しており、ランデータRNと合わせて合計11ビットによりランデータおよびレベルデータの組合せを表現できる。

【0392】+15以上および-15以下のレベルデータLVについては、それぞれ+16および-16にリミット処理されるので、レベルデータ+16および-16を含むアドレスがエスケープコードを示すことになる。この処理を行なうことにより、可変長符号化用テーブルメモリのアクセスのためのアドレスは合計11ビット幅で足りることになり、2kワードのアドレス空間の範囲内で可変長符号化用テーブルメモリを構成することができる。

【0393】このように、アドレス生成器502は、アドレス生成を1つのバスで実行できる。したがって、図41に示したリミッタ531は、アドレスレジスタ525内に保持されたデータのうち、レベルデータLVの10ビットに対して+16ないし-16の範囲に制限するためのリミット処理を行なう。したがって、図41に示した正リミット値レジスタ520には正の値+16が設定されており、一方、負リミット値レジスタ521には負の値-16が設定されている。リミッタ531は、これらのレジスタ520および521に保持されたデータを参照することにより上記のリミット処理を行なう。

【0394】レベルデータに対するリミット処理の結果、合計11ビットの組合せデータが得られ、このデー

タを用いて可変長符号化用テーブルメモリ481を参照するためのアドレスが生成される。

【0395】次に、図41に示したアドレス生成回路502における復号化動作について説明する。

【0396】図50の可変長符号テーブルに示されるように、可変長符号VCは合計9つのグループGR0ないしGR8に分けられている。各グループにおいて、それぞれの変長符号を規定するためには6ビットが必要となる。したがって、可変長符号のための復号テーブルを構成するために、合計9つのグループを指定するための4ビットと、各グループ内の符号を指定するための6ビットとが必要となる。すなわち、可変長符号の復号のためのテーブルのアドレスとして、合計10ビットが必要となる。図41に示したアドレス生成回路502は、10ビットのテーブルアドレスを1つのバスで生成することができる。

【0397】すなわち、復号対象の変長符号がアドレスレジスタ524に与えられそこで保持される。アドレスレジスタ524により保持されたデータはプライオリティエンコーダ532に与えられ、与えられたデータの最初のビットから連続する“0”の数がカウントされる。これにより、図50に示したグループGR0ないしGR8のいずれにデータが含まれているかが判定され、グループ番号が4ビットのデータにより表現される。また一方、連続する“0”の後のデータの6ビットの切出し処理が行なわれる。4ビットのグループ番号データおよび6ビットの切出されたデータは、合計10ビットのテーブルアドレスを構成し、このテーブルアドレスが外部アドレスレジスタ534に与えられそこで保持される。

【0398】このように、図41に示したアドレス生成器502を用いることにより、可変長符号化用テーブルメモリ481、可変長復号化用テーブルメモリ482のそれぞれのアドレス空間を短縮することができ、しかもこれらの処理は一連の処理でなされる。

【0399】次に、図44に示した可変長符号列生成／分解回路505における符号化動作について説明する。コード出力レジスタ540は、各々が8ビットを有するパラレルシフトレジスタ40aないし40eを含む。初期状態では、コード出力レジスタ540、コード長レジスタ539およびFIFO回路542がいずれもデータ“0”の保持している。40ビット（40b）を有するバレルシフタ537は、コード長レジスタ539において保持されたコード長に従って、入力データを右側にシフトさせる。

【0400】たとえば、符号化された最初の変長符号として“001010”がバスレジスタ536に与えられ、一方、符号長“6”が5ビットの加算器538に与えられる。この段階においてコード長レジスタ539の値が“0”であるのでバスレジスタ536のデータはバ



レルシフト537をそのまま通過し、コード長レジスタ539に与えられる。加算器538において、入力データ“6”とコード長レジスタ539のデータ“0”の加算が行なわれ、その結果データ“6”がコード長レジスタ539に書込まれる。

【0401】次に、符号化された次の可変長符号として、たとえばデータ“00001000”がバスレジスタ536に与えられ、一方、符号長“8”が加算器538に与えられる。コード長レジスタ539のデータは“6”であるので、バスレジスタ536のデータは、バレルシフト537により6ビットだけ右側にシフトされ、シフトされたデータがコード長レジスタ539に与えられる。したがって、コード長レジスタ539内に保持されたデータは、最初の6ビットにおいて最初の可変長符号を含み、7ビット目以降に次の可変長符号を含むことになる。加算器538は、入力データ“8”をコード長レジスタ539内のデータ“6”と加算し、加算結果“14”をコード長レジスタ539に与える。

【0402】この段階で、コード出力レジスタ540内のレジスタ40aが可変長符号“00101000”で満たされているので、レジスタ40a内のデータがFIFO回路542に与えられる。その後、レジスタ40b内のデータがレジスタ40aに転送される。さらに、レジスタ40c内のデータがレジスタ40bに転送される。同様の処理を繰返し、最後のレジスタ40eのデータがレジスタ40dに転送される。これらの転送処理の後、コード長レジスタ539のデータから、FIFO回路542に与えられたデータの符号長である“8”を減算する。すなわち、この例では、レジスタ539がデータ“14”を保持しているので、減算結果は“6”（ $=14-8$ ）となる。

【0403】その結果、コード長レジスタ539内のデータは、レジスタ40aに格納されている可変長符号“001000”のビット数を示していることとなり、次の可変長符号が入力されたとき、入力された可変長符号がレジスタ40a内に格納されている可変長符号のビット数だけ右側にシフトされる。したがって、既に格納されている可変長符号に続く次の可変長符号がコード出力レジスタ40に格納されることになる。このようにして、可変長符号およびその符号長を用いて、可変長符号列をソフトウェアによる判断処理を必要とすることなく生成することができる。

【0404】次に、可変長符号列生成／分解回路における復号化動作について説明する。コード出力レジスタ540と同様に、コード入力レジスタ541は、各々が8ビットを有するパラレルシフトレジスタ41aないし41eを含む。初期状態において、コード入力レジスタ541およびコード長レジスタ539はいずれもデータ“0”を保持している。40ビットを有するバレルシフト537は、コード長レジスタ539において保持され

ただけ入力データを左側にシフトさせる。

【0405】まず、最初の可変長符号列がFIFO回路543を介して、レジスタ41aないし41eに順に入力される。

【0406】可変長符号が切出されるとき、コード入力レジスタ541内のデータがバレルシフト537を介してバスレジスタ536に与えられる。この段階で、コード長レジスタ539内のデータは“0”であるので、コード入力レジスタ541内のデータがそのままバレルシフト537を通過し、バスレジスタ536に与えられる。バスレジスタ536内のデータを復号することにより、その符号長としてデータ“6”が得られ、この符号長データは加算器538に与えられる。加算器538は、入力データ“6”をコード長レジスタ539内のデータ“0”に加算し、その結果を示すデータ“6”がコード長レジスタ539に与えられそこで保持される。

【0407】次の可変長符号が切出されるとき、コード入力レジスタ541内のデータがバレルシフト537を介してバスレジスタ536に与えられる。コード長レジスタ539内のデータは、“6”であるので、コード入力レジスタ541内のデータがバレルシフト537により6ビットだけ左側にシフトされ、シフトされたデータがバスレジスタ536に与えられる。すなわち、既に復号された可変長符号に続く次の可変長符号が、左側にシフトされた状態で得られる。バスレジスタ536内のデータの復号の結果、その符号長としてデータ“8”が得られ、この符号長データが加算器538に入力される。

【0408】加算器538は、入力データ“8”をコード長レジスタ539内のデータ“6”と加算し、その結果を示すデータ“14”をコード長レジスタ539に与える。この段階で、レジスタ41aの内容がすべて復号されたこととなるので、レジスタ40b内のデータがレジスタ40aに転送される。次に、レジスタ40c内のデータがレジスタ40bに転送される。同様の処理を繰返し、最後に、レジスタ40e内のデータがレジスタ40dに転送される。空のレジスタ40eに対して、FIFO回路543から次の可変長符号列が与えられる。

【0409】コード長レジスタ539内のデータは、8ビットの復号処理が完了しているので、“6”を保持している。したがって、次の可変長符号の切出し処理が行なわれると、既に復号された可変長符号に続く次の可変長符号が左側にシフトされた状態で得られる。

【0410】このように、復号された可変長符号の符号長を用いることにより、可変長符号列から次の復号対象となる可変長符号を左側にシフトされた状態で切出す処理が、ソフトウェアによる判断処理を必要とすることなしに行なわれ得る。

【0411】次に、図47に示した外部インターフェイス回路506における可変長符号化動作について説明する。

【0412】図47を参照して、DMA機能を有する制御器545は、外部インターフェイス回路506における内部回路を制御する。カウンタ548および549は、信号線494を介して、ホストインターフェイス回路1から可変長符号列入力メモリ483および可変長符号列出力メモリ484へのアクセス（リードおよびライト）のストロブ信号を受ける。したがって、カウンタ548は、ホストコンピュータによる可変長符号列入力メモリ483へのライトアクセス回数をカウントする。一方、カウンタ549は、ホストコンピュータによる可変長符号列出力メモリ484へのリードアクセス回数をカウントする。同様に、カウンタ546は、外部インターフェイス回路506から可変長符号列入力メモリ483へのリードアクセス回数をカウントする。カウンタ547は、外部インターフェイス回路506から可変長符号列出力メモリ484へのライトアクセス回数をカウントする。

【0413】カウンタ546および548の出力データは、減算器565に与えられ、減算処理が行なわれる。減算結果を示すデータは、可変長符号列入力メモリ483にストアされているデータのワード数を示すことになる。減算器565の出力データは比較器550に与えられる。

【0414】比較器550は、レジスタ551から、可変長符号列入力メモリ483のフル状態におけるワード数データを受ける。一方、比較器550は、レジスタ552から、可変長符号列入力メモリ483のエンプティ状態を示すワード数データを受ける。比較器550は、減算器565からの出力データをこれらのレジスタ551および552からのデータと比較し、フラグFF1およびEF1を出力する。

【0415】減算器565の出力データ、すなわち差分データが、レジスタ551内に保持されているフル状態を示すワード数と等しいとき、比較器550はフルフラグFF1を出力する。一方、減算器565の出力データがレジスタ552内に保持されているエンプティ状態を示すワード数と等しいとき、比較器550はエンプティフラグEF1を出力する。

【0416】同様に、図39に示した可変長符号列出力メモリ484についても、入力メモリ483と同様の処理が行なわれ、フルフラグFF2またはエンプティフラグEF2が比較器558から出力される。

【0417】制御器545は、図44に示したFIFO回路542からのフラグ出力信号42bおよびFIFO回路543からのフラグ出力信号43bと比較器550および558からのフラグFF1、EF1、FF2およびEF2を用いて、FIFO回路542および543、可変長符号列出力メモリ484および可変長符号列入力メモリ483の間のデータ転送制御を行なう。このデータ転送制御は次のように行なわれる。

【0418】可変長符号化処理が行なわれるとき、FIFO回路542と可変長符号列出力メモリ484との間でデータ転送が行なわれる。このとき、可変長符号列生成／分解回路505において、FIFO回路542がアンダフロー状態にならないように、すなわちデータの記憶なしにリード動作が引き起こされないように、データ転送制御が行なわれる。これに加えて、可変長符号列出力メモリ484がオーバフローしないように、すなわち有効なデータが記憶されているのにさらに可変長符号列出力メモリ484にライト動作が引き起こされないようにデータ転送制御が行なわれる。

【0419】可変長復号化処理においては、FIFO回路543と可変長符号列入力メモリ483との間でのデータ転送が行なわれる。このときは、FIFO回路543がオーバフローしないように、かつ可変長符号列出力メモリ484がアンダフローしないようにデータ転送制御が行なわれる。

【0420】5. フレームバッファメモリ

(1) システム構成 (図53、図54)

図53は、フレームバッファメモリにおけるメモリセルアレイの基本構成図である。たとえば図1に示したフレームバッファメモリ51は、図53に示した構成を備えている。

【0421】図53を参照して、フレームバッファメモリ54（または55）は、合計32プレーンのメモリセルアレイ701ないし732（または801ないし832）を備えている。1つの行アドレスRAおよび1つの列アドレスCAが与えられたとき、各メモリセルアレイ701ないし732から1ビットのデータが読出される（または書込まれる）。たとえば、行アドレスRA1および列アドレスCA1が与えられたとき、メモリセルアレイ701ないし732から合計32ビットのデータが読出される。

【0422】一般に、1つの画素を示すのに8ビットのデータが必要とされる。したがって、合計32ビットのデータにより、4つの画素PC1ないしPC4を示すことができる（図53参照）。言い換えると、1つの行アドレスRAおよび1つの列アドレスCAを与えることにより、4つの画素PC1ないしPC4のためのデータを扱うことができる。

【0423】図54は、フレームバッファメモリのブロック図である。図54を参照して、フレームバッファメモリ54（または55）は、制御回路741と、メモリセルアレイ701ないし732（または801ないし832）を含む。各メモリセルアレイ701ないし732は、SDRAMの場合には2つのバンクBK1およびBK2に分けられている。各メモリセルアレイ701ないし732に対応して、センスアンプ742および入出力バッファ743が設けられる。したがって、メモリセルアレイ701ないし732に対して32ビットのデータ

PD1ないしPD32が読出または書込される。

【0424】制御回路741は、アドレス信号ADRおよび制御信号Scを受け、メモリセルアレイ701ないし732をアクセスするための制御信号を発生する。

【0425】(2) DRAMを用いた例(第1の例: 図55)

図55は、DRAMを用いたフレームバッファメモリ54のシステム構成図である。図55を参照して、フレームバッファメモリ54は、合計32のプレーンからなるDRAMメモリセルアレイ701ないし732を備える。フレームバッファメモリ54は、アドレスバスABを介して、DRAMコントローラ740からアドレス信号ADRを受ける。フレームバッファメモリ54は、ピクセルデータバスPBに接続され、ピクセルデータバスPBを介してデータの入出力が行なわれる。

【0426】DRAMコントローラ740は、たとえば図1に示した画像圧縮/伸張処理装置におけるコントロールユニット2内に設けられる。すなわち、DRAMコントローラ740は、図9に示した全体制御プロセッサ11内に設けられる。

【0427】図56は、図55に示したフレームバッファメモリ54内にストアされたデータと画面内の画素との間の関係を示す画素レイアウト図である。前述のように、1つの行アドレスRAおよび列アドレスCAをフレームバッファメモリ54に与えることにより、4つの画素を表わすための32ビットのデータをアクセスすることができる。図55に示したシステム構成では、図56に示すように、1つの行アドレスおよび1つの列アドレスにより画面SCN上の水平方向に4つの画素(たとえばPC0-PC3)を表わすことができる。

【0428】図58は、図55に示したDRAMコントローラ740によるアドレッシング信号を説明するための画素レイアウト図である。図58を参照して、フレームバッファメモリ54の列アドレスにより、画面SCNの水平方向の画素が指定される。一方、行アドレス信号により、画面SCN上の垂直方向の画素が指定される。図58において、○は1つの画素を示している。

【0429】図55に示した全体制御プロセッサ11は、ストアされたマイクロプログラムに従って、行アドレス信号RAおよび列アドレス信号CAを生成する。行および列アドレス信号RAおよびCAは、アドレス信号ADRとしてアドレスバスABに与えられる。アドレス信号ADRは、アドレスバスABを介してフレームバッファメモリ54に与えられる。これと同時に、DRAMコントローラ740は、フレームバッファメモリ54を制御するための制御信号を出力する。全体制御プロセッサ11は、データ書込においてストアされるべきデータをピクセルデータバスPBを介してフレームバッファメモリ54に与える。全体制御プロセッサ11は、データ読出動作においてフレームバッファメモリ54内にスト

アされていたデータをピクセルデータバスPBを介して受ける。

【0430】図59は、図55に示したDRAMコントローラ740の制御の下でのフレームバッファメモリ54の読出動作を示すタイムチャートである。図59を参照して、行アドレス信号RA1が与えられた後、ロウアドレスストロブ信号/RASが立下がる。最初の列アドレス信号CA1が与えられた後、カラムアドレスストロブ信号/CASが立下がる。読出動作においては、高レベルの書込イネーブル信号/WEが与えられる。したがって、アドレス信号RA1およびCA1によって指定されたメモリセル(図示せず)から、ストアされていたデータPD1が読出される。データPD1が読出された後、信号/CASが立上がる。

【0431】次の列アドレス信号CA2が与えられた後、信号/CASが再び立下がる。これにより、アドレス信号RA1およびCA2によって指定されたメモリセルから、データPD2が読出される。同様の動作を繰返すことにより、行アドレス信号RA1によって指定された1つの行から、列アドレス信号CA1、CA2、…によって指定されたデータPD1、PD2、…が順次出力される。

【0432】図58に示すように、マクロブロック750は、画面SCNにおいて、水平方向に8個および垂直方向に8個の合計64個(=8×8)の画素により構成される。したがって、マクロブロック750内の画素データは、行アドレス信号RA1ないしRA8および列アドレス信号CA4、CA5により指定され得る。

【0433】したがって、図55に示した全体制御プロセッサ11は、ストアされたプログラムに従って、行アドレス信号および列アドレス信号を次のように発生する。

【0434】まず、行アドレス信号RA1を出力した後、列アドレス信号CA4およびCA5を出力する。これにより、マクロブロック750内の最初の1行分の画素データがアクセス(たとえば読出)され得る。次に、行アドレス信号RA2が与えられた後、列アドレス信号CA4およびCA5が順次与えられる。これにより、マクロブロック750内の第2番目の行についてデータがアクセスされる。同様の動作が、マクロブロック750内の第8番目の行まで行なわれる。

【0435】したがって、マクロブロック750内のすべての画素についてフレームバッファメモリ54に対してアクセスするためには、合計8回の行アドレスRA1ないしRA8の供与と合計16回の列アドレスCAの供与とが必要となる。

【0436】たとえば、ある場合において、行アドレスRAの供与に90nsが必要とされ、列アドレスCAの2回の供与およびデータ転送に120nsが必要とされる。この場合では、1つのマクロブロックを指定するの

に1680ns(=(90+120)×8)が必要となる。

【0437】一方、動き予測ユニットにおいて動きベクトルが検出されるとき、図58に示されるようなマクロブロック751が必要となる。すなわち、マクロブロック751に含まれる画素データは、行アドレスRA1ないしRA18および列アドレスCA1ないしCA3により指定される。領域752および753内に含まれる画素データは必要でないが、マクロブロック751内の画素についてのデータをアクセスするのにアクセスされた後捨てられる。

【0438】したがって、マクロブロック751内の画素データをアクセスするのに、合計8回の行アドレスRAの供与および合計24回の列アドレスCAの供与が必要となる。その結果、たとえば合計2160nsの時間がアクセスのために必要となる。

【0439】(3) SDRAMを用いた例(第2、第3および第4の例)

以下の記載では、フレームバッファメモリとしてシンクロナスDRAM(以下「SDRAM」という)を用いた3つの例(第2、第3および第4の例)について説明する。

【0440】図60は、SDRAMを用いたフレームバッファメモリ55のシステム構成図である。図60を参照して、フレームバッファメモリ55は、合計32のプレーンに分かれたメモリセルアレイ801ないし832を備えたSDRAMにより構成される。全体制御プロセッサ11は、フレームバッファメモリ55をアクセスするためのアドレス信号ADRを生成するアドレス生成器840を備える。アドレス生成器840は、アドレス信号ADRとして行アドレス信号RAおよび列アドレス信号CAをアドレスバスABを介してフレームバッファメモリ55に与える。アクセスされるべきデータは、ピクセルデータバスPBを介してフレームバッファメモリ55に与えられる。全体制御プロセッサ11は、アドレス信号ADRを発生するためのシステムクロック信号φscをアドレス生成器840に与える。

【0441】動作において、全体制御プロセッサ11は、ストアされたプログラムに従って、アドレス生成器840を起動する。アドレス生成器840は、システムクロック信号φscにตอบสนองして、フレームバッファメモリ55内のSDRAMをアクセスするためのアドレス信号ADRを出力する。アドレス生成器840は、以下に記載する3つの態様(第2、第3および第4の例)で行アドレス信号RAおよび列アドレス信号CAを生成する。

【0442】図6-1は、SDRAMの基本的な動作(この例では読出動作)を説明するためのタイムチャートである。図6-1を参照して、SDRAMは、全体制御プロセッサ11から与えられるシステムクロック信号φsc

にตอบสนองして動作される。信号/RASの立下がりに対応して行アドレス信号RA1が取込まれた後、信号/CASの立下がりに対応して列アドレス信号CA1が取込まれる。アドレス生成器840は、システムクロック信号φscにตอบสนองして、列アドレス信号CA1からスタートする列アドレス信号CA1ないしCA8を順次出力する。これらのアドレス信号は、アドレスバスABを介してフレームバッファメモリ55に与えられる。

【0443】したがって、データ読出動作において、SDRAM内のメモリセルアレイから、ストアされていたデータPD1ないしPD8が読出される。すなわち、図6-1に示した例では、列アドレス信号CA1からスタートされる8つの列アドレス信号が発生されるので、行アドレス信号RA1によって指定された行から、8つのデータPD1ないしPD8が読出される。

【0444】(i) 第2の例(図62、図63)

図62は、図60に示したアドレス生成器840によるアドレッシング(第2の例)を説明するための画素レイアウト図である。図62に示されるように、画面SCN内の水平方向の画素は列アドレス信号CAにより指定され、一方、垂直方向の画素は行アドレス信号RAにより指定される。

【0445】この例においても、1つの行アドレス信号RAおよび1つの列アドレス信号CAにより、図60に示したフレームバッファメモリ55から合計32ビットのデータが読出される。したがって、32ビットのデータにより4つの画素を表現することができる。これに加えて、図62に示した第2の例では、図57に示すように、32ビットのデータにより垂直方向の4つの画素(たとえばPC0-PC3)を表現することができる。

【0446】たとえば、マクロブロック860は、水平方向に8個かつ垂直方向に8個、合計64個の画素を含んでいる。一例として、読出動作におけるマクロブロック860内の画素データのアドレッシングは次のように行なわれる。

【0447】まず、行アドレスRA4が与えられた後、列アドレスCA1が与えられる。図60に示したアドレス生成器840は、システムクロック信号φscにตอบสนองして、列アドレスCA1からスタートする列アドレスCA1ないしCA8を順次に生成する。したがって、行アドレスRA4によって指定される1つの行から、列アドレスCA1ないしCA8によって指定された前半のデータが順次読出される。

【0448】次に、行アドレスRA5が与えられた後、列アドレスCA1が与えられる。アドレス生成器840は、システムクロック信号φscにตอบสนองして、列アドレスCA1ないしCA8を順次に出力する。したがって、マクロブロック860内の後半のすべての画素が読出され得る。

【0449】図63は、図60に示したアドレス生成器

840の動作を説明するためのタイムチャートである。図6.2に示した態様でのアドレッシングを実現するため、図6.0に示したアドレス生成器840は図6.3に示されるように動作する。

【0450】図6.3を参照して、信号/RASの立下がりに応答して行アドレス信号RA4が取込まれた後、信号/CASの立下がりに応答して列アドレス信号CA1が取込まれる。アドレス生成器840（図示せず）は、取込まれた列アドレス信号CA1からスタートする列アドレス信号CA1ないしCA8（図示せず）を順次に出力量する。これらのアドレス信号RA4およびCA1ないしCA8は、図6.0に示したアドレスバスABを介してフレームバッファメモリ55に与えられる。その結果、読出動作において、フレームバッファメモリ55から、ストアされていたデータPD1、PD2、…が順次に出力量される。

【0451】前述のように、フレームバッファメモリ55は合計32のプレーンを備えているので、各メモリセルアレイ801ないし832から1ビットのデータが読出される。したがって、図6.3に示した1つのデータPD1は32ビットのデータに相当する。したがって、1つのデータPD1により、図6.2に示した画面SCNにおける垂直方向に4個の画素が表現され得ることが指摘される。

【0452】次に、信号/RASの立下がりに応答して行アドレス信号RA5が取込まれ、信号/CASの立下がりに応答して列アドレス信号CA1が取込まれる。アドレス生成器840は、列アドレス信号CA1からスタートするアドレス信号CA1ないしCA8（図示せず）を順次に出力量する。したがって、マクロブロック860内の後半の画素を表現するためのデータPD11ないしPD18が順次に出力量される。

【0453】このように、1つのマクロブロック860内の画素について、行アドレス信号を2回（すなわちRA4およびRA5）、列アドレス信号も2回（CA1を2回）で足りるので、アドレッシングに要する時間が図5.8に示した例と比較して、短縮され得る。

【0454】たとえば、1回の行アドレスの供与に25nsが必要とされ、1回の列アドレスCAの供与およびデータ転送に200nsが必要となる場合では、合計450nsの時間でアドレスがなされ得ることになる。

【0455】図6.2に示した別の画素領域862は、動き予測ユニットにおいて扱われる画素領域を示している。領域862内の画素についてのデータを読出すために、行アドレス信号RA1が与えられた後、列アドレス信号CA11が与えられる。したがって、行アドレスRA1によって指定された行から、画素領域862内の最初の3分の1の画素についてのデータが順次読出される。画素領域862内の他の画素領域についても、行アドレス信号RA2およびRA3を順次に与えることによ

り、短時間で読出動作が行なわれ得る。

【0456】（ii）第3の例（図6.4）

図6.4は、図6.0に示したアドレス生成器840の動作の別の例を示すタイムチャートである。図6.4を参照して、この例では、行アドレス信号RA1および列アドレス信号CA1が取込まれた後、システムクロック信号φscに反応して列アドレス信号CA2（図示せず）がアドレス生成器840により発生される。したがって、2つの列アドレス信号CA1およびCA2がフレームバッファメモリ55に与えられることになる。その結果、行アドレスRA1によって指定された行から、列アドレスCA1によって指定された32ビットのデータPD1と、列アドレスCA2によって指定された32ビットのデータPD2とが読出される。

【0457】各データPD1およびPD2は、32ビットのデータを含んでいるので、画面SCNにおいて、水平方向の8つの画素が表現され得る。

【0458】（iii）第4の例（図6.5）

図6.5は、図6.0に示したアドレス生成器840によるアドレッシングの別の例を説明するための画素レイアウト図である。図6.5を参照して、画面SCN内の水平方向の画素についてのデータが行アドレス信号により指定され、一方、垂直方向の画素についてのデータが列アドレス信号により指定される。

【0459】たとえば、マクロブロック863についての画素データを指定するのに、行アドレス信号RA4が与えられた後、列アドレス信号CA1が与えられる。アドレス生成器840は、列アドレス信号CA1からスタートする列アドレスCA1ないしCA8を生成する。その結果、マクロブロック863内の左側半分の画素についてのデータが読出される。

【0460】次に、行アドレス信号RA5が与えられた後、列アドレス信号CA1が与えられる。アドレス生成器840は、列アドレス信号CA1ないしCA8を発生する。したがって、マクロブロック863内の右側の半分の画素についてのデータが読出される。

【0461】動き予測ユニットにおける処理においても、画素領域865内の画素について類似のアドレッシングがなされる。

【0462】このように、上記の第2、第3および第4の例に示すように、SDRAMを用いたフレームバッファメモリ55を適用することにより、アドレッシングに要する時間が短縮されることになる。

【0463】（4）アドレス生成器（図6.6）

図6.6は、図6.0に示したアドレス生成器840のブロック図である。図6.6を参照して、アドレス生成器840は、垂直初期アドレスレジスタ841と、フレームサイズレジスタ842と、ページサイズレジスタ843と、水平初期アドレスレジスタ844と、水平サイズレジスタ845と、レジスタ846および847と、水平

カウンタ 848 と、インクリメンタ 849 と、右端検出回路 850 と、出力制御回路 851 と、セクタ 852 および 853 と、加算器 854 と、セクタ 855 とを含む。

【0464】レジスタ 841 ないし 845 は、それぞれの初期データを保持しているものとする。レジスタ 841 内に保持された初期アドレスは、セクタ 852、加算器 854 およびセクタ 855 を介して行アドレスとして出力される。一方、この初期アドレスは、セクタ 852 および加算器 854 を介してレジスタ 846 および 847 に与えられそこで保持される。

【0465】レジスタ 844 内に保持された水平初期アドレスは、インクリメンタ 849 を介してビット幅制御のための出力制御回路 851 に与えられる。出力制御回路 851 は、列アドレスを出力し、列アドレスはセクタ 855 を介して出力される。

【0466】インクリメンタ 859 は、システムクロック信号  $\phi_{sc}$  の 8 サイクルごとに、水平初期アドレスレジスタ 844 から与えられる水平アドレスをインクリメントする。水平アドレスがページサイズが越えたとき、インクリメンタ 849 は行アドレスをインクリメントする。

【0467】レジスタ 847 のデータおよびデータ“1”が加算器 854 に与えられ、加算結果が行アドレスとして出力される一方、加算結果はレジスタ 847 にも与えられる。

【0468】右端検出回路 850 により転送データの右端が検出されたとき、レジスタ 846 内に保持されたデータおよびフレームサイズデータが、セクタ 852 および 853 を介して加算器 854 に与えられる。加算結果を示すデータは、セクタ 855 を介して行アドレスとして出力される一方、レジスタ 846 および 847 にも与えられる。

【0469】図 67 は、図 66 に示したアドレス生成器 840 から出力される行および列アドレスとページとの間の関係を示すアドレス—ページ対応図である。一方、図 68 は、図 67 に示したページと画面内の画素との間の関係を示すページ—画素対応図である。図 60 に示したフレームバッファメモリ 55 は図 67 に示した態様でデータを記憶する。アドレス生成器 840 は、フレームバッファメモリ 55 内にストアされたデータを図 68 に示した態様で画面に当てはめる。図 66 に示したアドレス生成器 840 は、図 67 および図 68 に示した態様でのアドレッシングが行なわれるように、行アドレス信号 RA および列アドレス信号 CA を発生する。

【0470】(5) マッピング方法

次に、フレームバッファメモリに画面内の各画素データをマッピングさせる方法について説明する。以下の各方法は、たとえば、図 1 に示すフレームバッファメモリ 51 に適用することができる。

【0471】まず、データ転送回数を削減することができるマッピング方法について説明する。図 72 は、フレームバッファメモリに画面内の画素データをマッピングさせる方法を説明する第 1 の図である。図 72 では、縦横ともに 2 画素のデータ領域 861 を 1 単位としてフレームバッファメモリの 1 アドレスが与えられる。つまり、行アドレス信号 RA および列アドレス信号 CA により特定される 1 つのアドレスに対応して、データ領域 861 に含まれる 4 画素分のデータがフレームバッファメモリに格納され、または、そのアドレスを指定することによりフレームバッファメモリから読出され、ピクセルデータバスを通じて各ブロックとのデータ転送が行なわれる。図 72 に示すように、たとえば、動きベクトルの検出処理に使用する水平方向 9 画素および垂直方向 9 画素から構成されるデータ領域 862 をデータ領域 861 を転送単位として転送した場合、 $5$  (水平)  $\times$   $5$  (垂直)  $= 25$  回の転送処理によりデータ領域 862 のすべての画素データを転送することができる。これは、たとえば、図 58 に示すように、水平方向 4 画素から構成されるデータ領域を転送単位とした場合と比較して、転送回数が 2 回削減されるとともに、転送する必要がないデータ領域 863 も削減される。したがって、上記のマッピング方法を用いることにより、転送回数が削減され、画像データの転送処理を高速に行なうことができる。

【0472】次に、上記のマッピング方法を用いて、水平方向 8 画素および垂直方向 8 画素から構成されるデータ領域の転送について説明する。図 73 ないし図 76 は、水平方向 8 画素および垂直方向 8 画素のデータ領域の転送処理を説明する第 1 ないし第 4 の図である。水平方向 8 画素および垂直方向 8 画素のデータ領域 864 を転送する場合、データ領域 864 の位置により、図 73 ないし図 76 に示す 4 通りの場合が考えられる。

【0473】図 73 に示す場合では、転送単位である水平および垂直方向ともに 2 画素のデータ領域を転送単位としてデータ領域 864 の各画素データを転送する場合、 $4$  (水平)  $\times$   $4$  (垂直)  $= 16$  回の転送回数で転送することができる。また、図 74 および図 75 の場合には、20 回の転送回数で転送でき、図 76 の場合には、25 回の転送回数で転送することができる。したがって、データ領域 864 を転送するために必要な平均転送回数は、20.25 回となる。これは、図 58 に示す水平方向 4 画素の単位で転送を行なった場合と比較して、約 2 回の転送回数の削減となる。

【0474】次に、水平方向 4 画素および垂直方向 2 画素から構成されるデータ領域を 1 つのデータとして 1 アドレスを与えるマッピング方法について説明する。図 77 は、フレームバッファメモリに画面内の画素データをマッピングさせる方法を説明する第 2 の図である。図 77 に示すように、水平方向 4 画素および垂直方向 2 画素から構成されるデータ領域 865 を 1 つのデータとして

フレームバッファメモリの1アドレスを与える。このとき、水平方向9画素および垂直方向9画素から構成されるデータ領域866をデータ領域865を転送単位として転送する場合、必要な転送回数は、3（水平）×5（垂直）＝15回となる。これは、図58に示すように水平方向8画素からなるデータ領域を転送単位として転送する場合に比べて3回転送回数が削減されるとともに、データ転送を行なう必要がない領域867も削減される。

【0475】次に、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第1の方法について説明する。図78は、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第1の方法を説明する図である。ここで、第1色差画像データとは、たとえば、RGBフォーマットからYUVフォーマットへ変換された色差画像データCbであり、第2色差画像データとは、たとえば、同様に変換された色差画像データCrである。図78では、水平方向4画素から構成されるデータ領域868を1つのデータとしてフレームバッファメモリの1アドレスを与える。また、第1色差画像データ873と第2色差画像データ869は水平方向に4画素ずつ交互にマッピングされている。第1色差画像データ873と第2色差画像データ869とは相互に相関を有し、たとえば、動きベクトルの検出処理等において、第1および第2色差画像データ873、869を同時に処理する必要があり、データ転送も同時に行なわれる。したがって、転送領域として、第1色差画像データ領域872と第2色差画像データ領域870とを転送する場合、データ領域871の各データを転送すればよい。この場合第1色差画像データ領域872と第2色差画像データ領域870とは交互にマッピングされているため、1回アドレス生成を行なうことにより、データ領域871の各色差画像データを転送することができ、アドレス生成の演算に要する時間が削減され、画像データ処理を高速に行なうことが可能となる。

【0476】次に、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第2の方法について説明する。図79は、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第2の方法を説明する図である。図79では、水平方向2画素および垂直方向2画素から構成されるデータ領域874を1つのデータとしてマッピングさせている。また、第1色差画像データ875と第2色差画像データ879とは水平方向に2画素ずつ交互にマッピングされている。この場合、第1色差画像データ領域878および第2色差画像データ領域876を転送する場合、データ領域877の各データをデータ領域874を転送単位として転送する。したがって、1回のアドレス生成で、かつ、少ないデータ転送回数でデータ転送を行なうことができる。

【0477】次に、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第3の方法について説明する。図80は、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第3の方法を説明する図である。図80の例では、水平方向4画素から構成されるデータ領域を1つのデータとして1つのアドレスが与えられる。また、第1色差画像データと第2色差画像データとは水平方向に2画素ずつ交互に配置されている。したがって、1アドレスを与えられている水平方向の4画素のデータ領域には、2画素の第1色差画像データ880と2画素の第2色差画像データ881とが含まれている。第1色差画像データ領域884と第2色差画像データ領域882とを転送する場合、1回のアドレス生成によりデータ領域883の各データを転送すればよい。また、このときの転送回数は、5（水平）×9（垂直）＝45回となる。たとえば、第1色差画像データと第2色差画像データとを別々にフレームバッファメモリにマッピングし、上記と同様に水平方向4画素のデータ領域を転送単位として転送した場合、図80と同様の第1色差画像データおよび第2色差画像データとを転送するために必要となる回数は54回となり、この第3のマッピング方法を用いることにより9回転送回数が削減されている。

【0478】次に、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第4の方法について説明する。図81は、フレームバッファメモリに第1および第2色差画像データをマッピングさせる第4の方法を説明する図である。図81に示すように、水平方向4画素および垂直方向2画素から構成されるデータ領域を1つのデータとして1アドレスを与えてフレームバッファメモリにマッピングさせる。また、第1色差画像データと第2色差画像データとは水平方向に2画素ずつ交互にマッピングされる。したがって、1つのデータとしてマッピングされたデータ領域の中には、水平方向2画素および垂直方向2画素の第1色差画像データ885と水平方向2画素および垂直方向2画素の第2色差画像データ886とが含まれる。第1色差画像データ889と第2色差画像データ887とを転送する場合、データ領域888の各データを水平方向4画素および垂直方向2画素のデータ領域を転送単位で転送すればよい。このとき、第1色差画像データと第2色差画像データとは交互に配置されているので1回のアドレス生成でデータ転送を行なうことができ、また、矩形のデータ領域を転送単位としてデータ転送を行なっているので転送回数が削減される。

【0479】次に、上記のフレームバッファメモリに第1および第2色差画像データをマッピングさせる第1ないし第4の方法を用いた場合の効果について説明する。一例として、たとえば、両方向予測符号化処理における図9に示す全体制御プロセッサ11での演算処理を用い

て説明する。図82は、両方向予測符号化時の全体制御プロセッサの演算処理を示す図である。

【0480】図82を参照して、ステップ891において、入力画像ライト処理で第1アドレス生成が行なわれる。このアドレス生成は、輝度画素データY、第1色差画素データCb、第2色差画素データCrについて行なわれる。ここでのデータは、図1に示す画像データ処理装置では、コントロールユニット2からフレームバッファメモリ51へ転送される。

【0481】次に、ステップ892において、動き予測用リード処理において第2アドレス生成が実行される。この処理は、輝度画素データYについて実行され、フレームバッファメモリ51からコントロールユニット2へデータが転送される。

【0482】次に、ステップ893において、動き検索範囲リード処理において第3アドレス生成が実行される。ここでは、輝度画素データYについて処理が実行され、フレームバッファメモリ51から動き予測ユニット41へデータが転送される。

【0483】次に、ステップ894において、符号化モードの決定処理が行なわれる。次に、ステップ895において、前方向予測画像リード処理において第4アドレス生成が実行される。ここでは、3種類の画素データY、Cb、Crについて処理が実行され、フレームバッファメモリ51からピクセルプロセッシングユニット3へ

データが転送される。

【0484】次に、ステップ896において、後方向予測画像リード処理において第5アドレス生成が実行される。ここでは、3種類の画素データY、Cb、Crについて処理が実行され、フレームバッファメモリ51からピクセルプロセッシングユニット3へデータが転送される。

【0485】次に、ステップ897において、符号化対象画像リード処理において第6アドレス生成が実行される。ここでは、3種類の画素データY、Cb、Crについて処理が実行され、フレームバッファメモリ51からピクセルプロセッシングユニット3へデータが転送される。

【0486】上記の全体制御プロセッサにおける演算回数について、図78ないし図81に示す第1ないし第4のマッピング方法を用いた実施例と比較例とを比較した結果を下表に示す。ここで、比較例とは、3種類の画素データY、Cb、Crをフレームバッファメモリ51に別々にマッピングし、各画素データごとにアドレス生成を実行した場合を示している。また、下表のCは第1色差画素データCbと第2色差画素データCrをまとめて示したものである。

【0487】

【表1】

転送内容	比較例		実施例	
	成分	演算回数	成分	演算回数
入力画像ライト	Y, Cb, Cr	3	Y, C	2
動き予測対象画像リード	Y	1	Y	1
動き検索範囲リード	Y	1	Y	1
前方向予測画像リード	Y, Cb, Cr	3	Y, C	2
後方向予測画像リード	Y, Cb, Cr	3	Y, C	2
符号化対象画像リード	Y, Cb, Cr	3	Y, C	2
計		14		10

【0488】上表から、実施例では、アドレス生成の回数が4回削減されていることがわかる。つまり、比較例のアドレス生成処理では、3種類の画素データY、Cb、Crそれぞれについて演算を行ない、図9に示す画像データ転送制御ユニット15をレジスタに各データをセットする必要があった。一方、上記の実施例では、第1色差画素データCbと第2色差画素データCrとをまとめてアドレス生成しているのので、計4回の演算およびレジスタセットの処理時間を削減することができる。また、全体制御プロセッサでは、符号量制御、符号化に伴う各種判定、その他ユーザ独自の演算処理等の各処理を行なう必要があるため、このような演算を行ない、演算回数が増加した場合には、実時間内での符号化処理を実行する上で上記のアドレス演算の削減が特に有効とな

る。

【0489】

【発明の効果】以上のように、請求項1の発明によれば、離散コサイン変換処理および量子化処理を実行する画素プロセッサおよび可変長符号化処理を実行する可変長符号化プロセッサを設け、これらの処理をパイプライン制御するためのパイプライン制御プロセッサを設けたので、画像データの圧縮処理を高速に行なうことのできる画像データ処理装置が得られた。

【0490】また、請求項2の発明によれば、可変長復号化処理を実行する可変長復号化プロセッサおよび逆量子化処理および逆離散コサイン変換処理を実行する画素プロセッサを設け、これらの処理をパイプライン制御するパイプライン制御プロセッサを設けたので、画像デー



タの伸張処理を高速に行なうことのできる画像データ処理装置が得られた。

【0491】さらに、請求項3の発明によれば、画素プロセッサ、可変長プロセッサ、第1および第2のデータバスについてのパイプライン処理を制御するパイプライン制御プロセッサを設けたので、画像データの圧縮および伸張処理を高速に行なうことのできる画像データ処理装置が得られた。

【0492】さらに、請求項4の発明によれば、第1ないし第4の記憶手段にそれぞれアクセスする第1ないし第4のアクセス手段を設け、第1ないし第4のアクセス手段に対しアクセス動作の開始を個々に制御するアクセス制御手段を設けたので、画像データの交換処理を高速に行なうことのできる画像データ処理装置が得られた。

【0493】さらに、請求項5の発明によれば、画像データ圧縮および／または画像データ伸張のための複数の予め定められた処理についてのパイプライン処理を制御する制御プロセッサを設けたので、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0494】さらに、請求項6の発明によれば、画像データ圧縮および／または画像データ伸張のための離散コサイン変換処理、量子化処理および可変長データ処理についてのパイプライン処理を制御するパイプライン処理制御プロセッサを設けたので、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0495】さらに、請求項7の発明によれば、画像データ圧縮および／または画像データ伸張のための予め定められた処理および画像データ転送についての並列動作を制御する制御プロセッサを設け、また、予め定められた処理および画像データ転送の実行を個々に命令する複数の実行命令手段を設けたので、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0496】さらに、請求項8の発明によれば、読出手段から出力される等長符号処理フラグに応答して、可変長符号および等長符号の一方を選択する選択手段を設けたので、判断処理が簡単化され、画像データの圧縮処理を高速に行なうことのできる画像データ処理装置が得られた。

【0497】さらに、請求項9の発明によれば、読出手段から出力される等長処理フラグに応答して、ランデータおよびレベルデータならびに復号データの一方を選択する選択手段を設けたので、判断処理が簡単化され、画像データの圧縮処理を高速に行なうことのできる画像データ処理装置が得られた。

【0498】さらに、請求項10の発明によれば、画面において垂直方向に置かれた複数の画素を規定するためのn個の画素データを指定するための列アドレス信号をシリアルに出力するアドレス信号発生手段を設けたので、画面内の所望の領域についての画素データが短時間

でアクセスされ、したがって画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0499】さらに、請求項11の発明によれば、画面において水平方向に置かれた複数の画素を規定するためのn個の画素データを指定するための列アドレス信号をシリアルに出力するアドレス信号発生手段を設けたので、画面内の所望の領域についての画素データが短時間でアクセスされ、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0500】さらに、請求項12の発明によれば、画面を形成する画素を規定する複数のマクロブロックデータがパイプライン処理の下で符号化されるので、画像データの伸張処理を高速に行なうことのできる画像データ処理方法が得られた。

【0501】さらに、請求項13の発明によれば、画面を形成する画素を規定する複数の可変長符号を含む可変長符号列がパイプライン処理の下で復号化されるので、画像データの伸張処理が高速に行なうことのできる画像データ処理方法が得られた。

【0502】さらに、請求項14の発明によれば、画素データの転送回数を削減することができるので、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0503】さらに、請求項15の発明によれば、1回のアドレス生成により所定範囲の第1および第2色差画素データを転送することができるので、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0504】さらに、請求項16の発明によれば、1回のアドレス生成により所定範囲の第1および第2色差画素データを転送することができるので、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0505】さらに、請求項17ないし請求項22の発明によれば、データ転送量を効率よく分割し、効率よく転送することが可能となり、1つのバスで転送するデータ量が削減され、実質的にデータ転送速度が向上し、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0506】さらに、請求項23の発明によれば、画像データ圧縮および／または画像データ伸張のための予め定められた処理および画像データ転送についての並列動作を制御する制御プロセッサを設け、予め定められた処理および画像データ転送の実行を個々に命令する複数の実行命令手段を設け、さらに、制御プロセッサと複数の実行命令手段との間の第1データバスおよび複数の実行命令手段との間の第2データバスを設けたので、画像データ処理が並列に行なわれ、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【0507】さらに、請求項24ないし請求項25の発

明によれば、画素データ専用に設けられた少なくとも2つのインタフェース手段により、データを同時に複数の外部装置へ転送することができるので、並列にデータ転送を行なうことができ、画像データ処理を高速に行なうことのできる画像データ処理装置が得られた。

【図面の簡単な説明】

【図1】この発明の第1実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図2】図1に示した画像圧縮／伸張処理装置における画像圧縮処理を示す処理ダイアグラムである。

【図3】図1に示した画像圧縮／伸張処理装置における画像伸張処理を示す処理ダイアグラムである。

【図4】この発明の第2実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図5】この発明の第3実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図6】この発明の第4実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図7】この発明の第5実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図8】この発明の第6実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図9】コントロールユニットの一例を示すブロック図である。

【図10】コントロールユニットの別の例を示すブロック図である。

【図11】図9に示した全体制御プロセッサの制御の下で行なわれるパイプライン処理を示すタイムチャートである。

【図12】図11に示した1つの期間T10における並列動作を示す並列動作図である。

【図13】図9に示した全体制御プロセッサのブロック図である。

【図14】図9に示した動き予測制御ユニットのブロック図である。

【図15】図9に示した画像フォーマット変換ユニットのブロック図である。

【図16】図9に示した画像データ転送制御ユニットのブロック図である。

【図17】図9に示した命令転送ユニットのブロック図である。

【図18】ピクセルプロセッシングユニットの一例を示すブロック図である。

【図19】図18に示したピクセルプロセッシングユニットのより詳細なブロック図である。

【図20】ピクセルプロセッシングユニットの別の例を示すブロック図である。

【図21】図20に示したピクセルプロセッシングユニットのより詳細なブロック図である。

【図22】図19に示したピクセルプロセッシングユニッ

トにおける符号化（フレーム内予測）のための動作フロー図である。

【図23】図19に示したピクセルプロセッシングユニットにおける復号化（フレーム内予測）のための動作フロー図である。

【図24】図19に示したピクセルプロセッシングユニットにおける符号化（両方向予測）のための動作フロー図である。

【図25】図19に示したピクセルプロセッシングユニットにおける復号化（両方向予測）のための動作フロー図である。

【図26】図19に示したピクセルプロセッシングユニットにおける符号化のためのパイプライン処理を示すタイムチャートである。

【図27】図19に示したピクセルプロセッシングユニットにおけるフレーム内予測におけるパイプライン処理を示すタイムチャートである。

【図28】図19に示したピクセルプロセッシングユニットにおける片方向処理におけるパイプライン処理を示すタイムチャートである。

【図29】図19に示したピクセルプロセッシングユニットにおける両方向予測におけるパイプライン処理を示すタイムチャートである。

【図30】可変長処理のための第1のシステム構成を示すブロック図である。

【図31】図30に示した第1のシステム構成における可変長符号化処理のフロー図である。

【図32】図30に示した第1のシステム構成における可変長復号化処理のフロー図である。

【図33】図30に示した可変長符号化用テーブルメモリのデータ記憶構造図である。

【図34】図30に示した可変長復号化用テーブルメモリのデータ記憶構造図である。

【図35】可変長符号列の生成処理を説明するための処理フロー図である。

【図36】可変長プロセッサの第1の例を示すブロック図である。

【図37】可変長プロセッサの第2の例を示すブロック図である。

【図38】可変長プロセッサの第3の例を示すブロック図である。

【図39】可変長処理のための第2のシステム構成を示すブロック図である。

【図40】図39に示した可変長プロセッサのブロック図である。

【図41】図40に示したアドレス生成器のブロック図である。

【図42】図41に示したアドレス生成器における可変長符号化処理のフロー図である。

【図43】図41に示したアドレス生成器における可変

長復号化処理のフロー図である。

【図44】図40に示した可変長符号列生成／分解回路のブロック図である。

【図45】図44に示した可変長符号列生成／分解回路における可変長符号化処理のフロー図である。

【図46】図44に示した可変長符号列生成／分解回路における可変長復号化処理のフロー図である。

【図47】図40に示した外部インターフェイス回路のブロック図である。

【図48】図47に示した外部インターフェイス回路における可変長符号化処理のフロー図である。

【図49】図47に示した外部インターフェイス回路における可変長復号化処理のフロー図である。

【図50】図39に示した可変長プロセッサにおいて使用されるグループ化された可変長符号テーブルである。

【図51】図39に示した可変長符号化用テーブルメモリにストアされるデータのデータフォーマット図である。

【図52】可変長符号化処理における被符号化データのデータフォーマット図である。

【図53】フレームバッファメモリにおけるメモリセルアレイの基本構成図である。

【図54】フレームバッファメモリのブロック図である。

【図55】DRAMを用いたフレームバッファメモリのシステム構成図である。

【図56】図55に示したフレームバッファメモリ内にストアされるデータと画面内の画素との間の関係を示す画素レイアウト図である。

【図57】図60に示したフレームバッファメモリ内にストアされたデータと画面内の画素との間の関係を示す画素レイアウト図である。

【図58】図55に示したDRAMコントローラによるアドレッシングを説明するための画素レイアウト図である。

【図59】図55に示したDRAMコントローラの制御の下でのフレームバッファメモリの読出動作を示すタイムチャートである。

【図60】SDRAMを用いたフレームバッファメモリのシステム構成図である。

【図61】SDRAMの読出動作を説明するためのタイムチャートである。

【図62】図60に示したアドレス生成器によるアドレッシングを説明するための画素レイアウト図である。

【図63】図60に示したアドレス生成器の動作の一例を説明するためのタイムチャートである。

【図64】図60に示したアドレス生成器の動作の別の例を示すタイムチャートである。

【図65】図60に示したアドレス生成器の動作のさらに別の例を示すタイムチャートである。

【図66】図60に示したアドレス生成器のブロック図である。

【図67】図66に示したアドレス生成器から出力される行および列アドレスとページとの間の関係を示すアドレス—ページ対応図である。

【図68】図67に示したページと画面内の画素との間の関係を示すページ—画素対応図である。

【図69】国際標準規格において勧告されている画像圧縮アルゴリズムにおける主な処理を示すブロック図である。

【図70】従来の画像圧縮／伸張処理装置のブロック図である。

【図71】図70に示したDSPのブロック図である。

【図72】フレームバッファメモリに画面内の画素データをマッピングさせる第1の方法を説明する図である。

【図73】水平方向8画素および垂直方向8画素のデータ領域の転送処理を説明する第1の図である。

【図74】水平方向8画素および垂直方向8画素のデータ領域の転送処理を説明する第2の図である。

【図75】水平方向8画素および垂直方向8画素のデータ領域の転送処理を説明する第3の図である。

【図76】水平方向8画素および垂直方向8画素のデータ領域の転送処理を説明する第4の図である。

【図77】フレームバッファメモリに画面内の画素データをマッピングさせる第2の方法を説明する図である。

【図78】フレームバッファメモリに第1および第2色差画素データをマッピングさせる第1の方法を説明する図である。

【図79】フレームバッファメモリに第1および第2色差画素データをマッピングさせる第2の方法を説明する図である。

【図80】フレームバッファメモリに第1および第2色差画素データをマッピングさせる第3の方法を説明する図である。

【図81】フレームバッファメモリに第1および第2色差画素データをマッピングさせる第4の方法を説明する図である。

【図82】両方向予測符号化時の全体制御プロセッサの演算処理を説明する図である。

【図83】この発明の第7実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図84】この発明の第8実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図85】この発明の第9実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図86】この発明の第10実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図87】この発明の第11実施例を示す画像圧縮／伸張処理装置のブロック図である。

【図88】この発明の第12実施例を示す画像圧縮／伸

長処理装置のブロック図である。

【図 8 9】この発明の第 1 3 実施例を示す画像圧縮／伸長処理装置のブロック図である。

【図 9 0】この発明の第 1 4 実施例を示す画像圧縮／伸長処理装置のブロック図である。

【図 9 1】この発明の第 1 5 実施例を示す画像圧縮／伸長処理装置のブロック図である。

【図 9 2】コントロールユニットのさらに別の例を示すブロック図である。

【図 9 3】ピクセルプロセッシングユニットのさらに別の例を示すブロック図である。

【図 9 4】図 9 3 に示したピクセルプロセッシングユニットのより詳細な第 1 のブロック図である。

【図 9 5】図 1 8 に示したピクセルプロセッシングユニットのより詳細な第 2 のブロック図である。

【符号の説明】

1 ホストインターフェイス回路

2, 2 1, 2 2 コントロールユニット

3, 3 1, 3 2 ピクセルプロセッシングユニット

4 1-4 6 動き予測ユニット

5 1-5 5 フレームバッファメモリ

8 1, 8 2 入出力メモリ

1 1 全体制御プロセッサ

1 2, 1 2 1-1 2 5 可変長プロセッサ

1 3 動き予測制御ユニット

1 4 画像フォーマット変換ユニット

1 5 画像データ転送制御ユニット

1 6 ピクセルプロセッシングユニット用命令転送ユニット

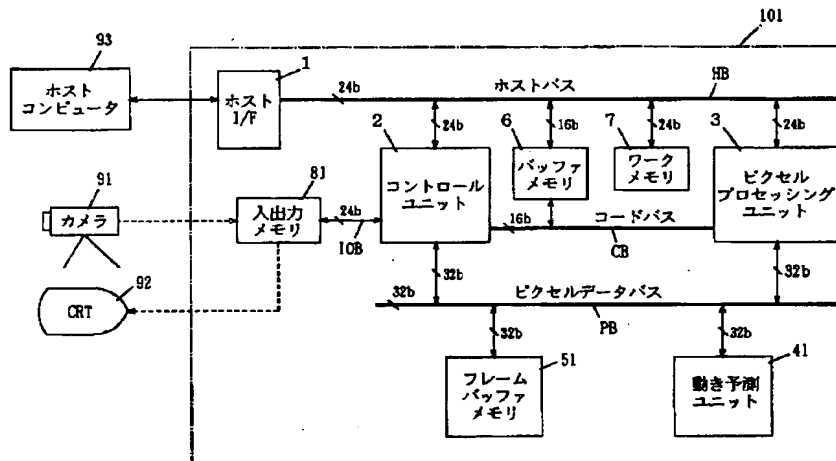
1 7 メインポート

1 8 画像データポート

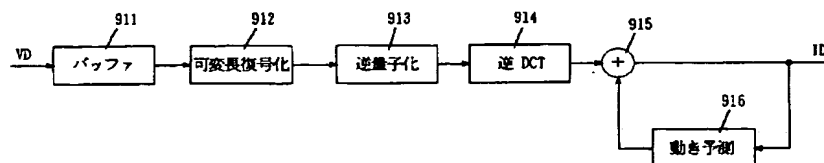
1 9 VRAMポート

2 0 コードデータポート

【図 1】



【図 3】



```

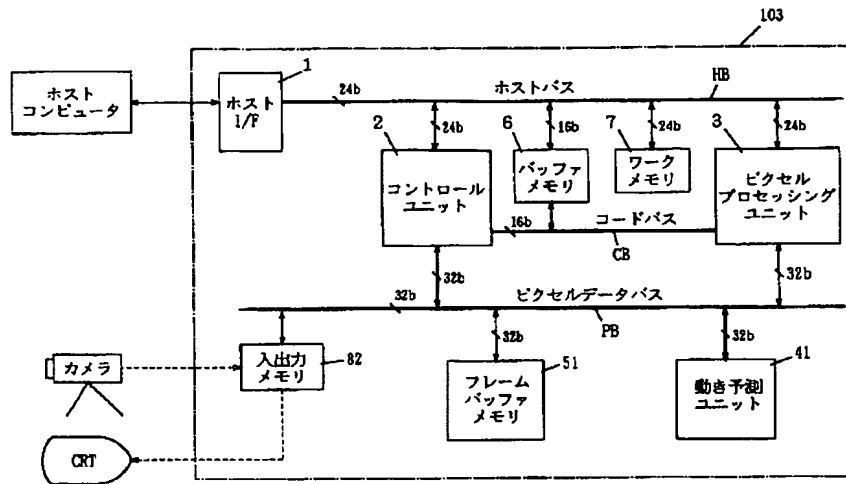
graph LR
    ID((ID)) --- J1(( ))
    J1 --- 921[921]
    J1 --- 931(( ))
    921 --- 922(( ))
    922 --- 923[DCT 923]
    923 --- 924[量子化 924]
    924 --- 925[可変長符号化 925]
    925 --- 926[バッファ 926]
    926 --- VD((VD))
    924 --- 929[+ 929]
    931 --- 930[動き予測 930]
    930 --- 929
    929 --- 927[逆量子化 927]
    927 --- 928[逆 DCT 928]
    928 --- 931
  
```

Figure 1 is a block diagram of a video processing system. The system includes a Host Computer connected to a Host I/F (1). The Host I/F is connected to a Control Unit (22) via a 24b bus. The Control Unit is connected to an I/O Memory (81) via a 24b bus. The I/O Memory is connected to a Camera and a CRT. The Control Unit is connected to a Buffer Memory (6) via a 16b bus. The Buffer Memory is connected to a Work Memory (7) via a 24b bus. The Work Memory is connected to a Pixel Processing Unit (3) via a 24b bus. The Pixel Processing Unit is connected to a Frame Buffer Memory (51) via a 32b bus. The Frame Buffer Memory is connected to a Video Bus (FB) via a 32b bus. The Video Bus is connected to a Host Bus (HB) via a 32b bus. The Host Bus is connected to the Host I/F via a 24b bus.

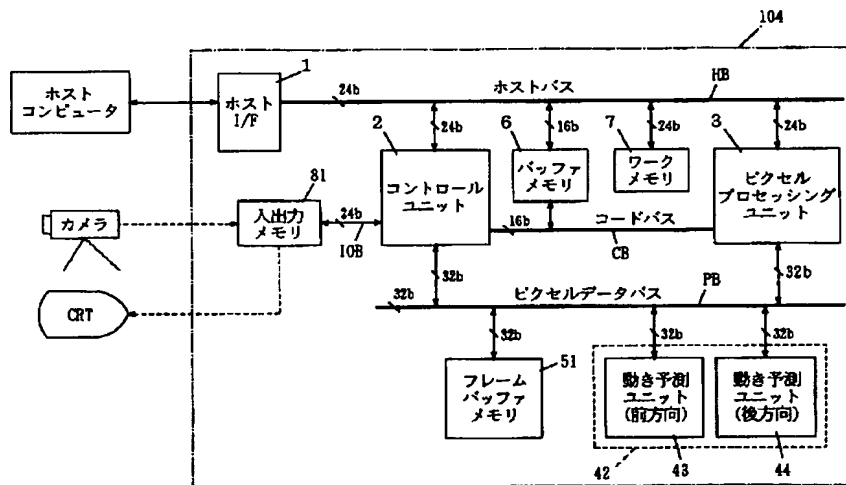
処理 (ステップ)	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10
RGB データを転送 (S1)	MB1	MB2	MB3	MB4	MB5	MB6	MB7	MB8	MB9	MB10
RGB から YUVへ変換 (S2)		MB1	MB2	MB3						MB9
データ転送 (S3)			MB1	MB2	MB3					MB8
動き予測処理 (S4)				MB1	MB2	MB3				MB7
符号化モード判定 (S5)					MB1	MB2	MB3			MB6
データ転送 (S6)						MB1	MB2	MB3		MB5
画像演算処理 (S7)							MB1	MB2	MB3	MB4
コード転送 (S8)								MB1	MB2	MB3
可変長符号化処理 (S9)									MB1	MB2
コード転送 (S10)										MB1

時間

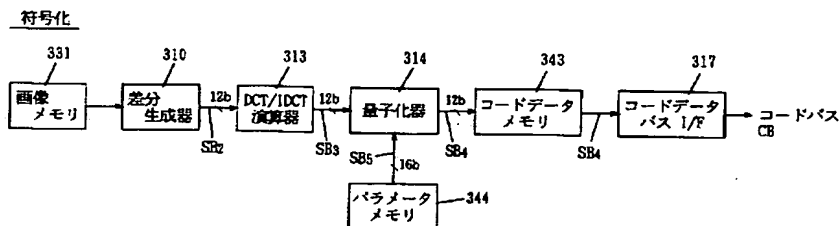
【図 5】



【図 6】



【図 22】



復号化

```
graph LR
    343[コードデータメモリ 343] -- 12b --> 314[量子化器 314]
    314 -- 12b --> 313[DCT/IDCT演算器 313]
    313 -- 12b --> 310[復号器 310]
    310 --> 335[画像メモリ 335]
    314 -- 16b --> 344[パラメータメモリ 344]
    344 -- 16b --> 314
```

SB4, SB5, SB3, SB2

内部  
ピクセルバス

フィルタ

DCT, 量子化,  
差分生成及び  
復号

コードデータ I/P

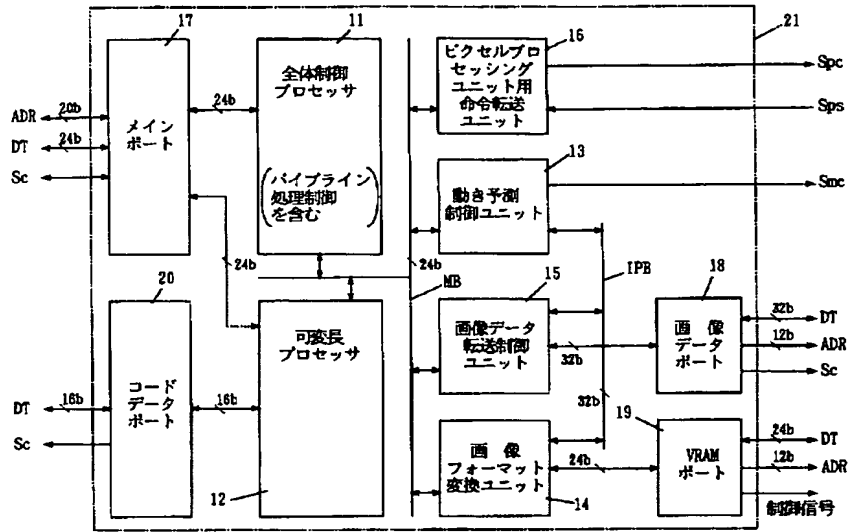
実質の符号化サイクル

A0 A1 G0

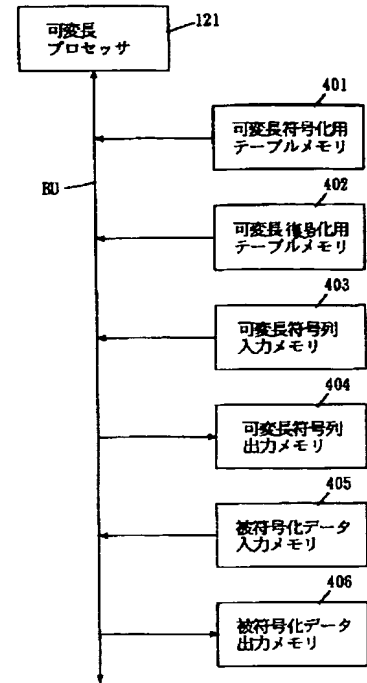
E0 F0 E1

時間

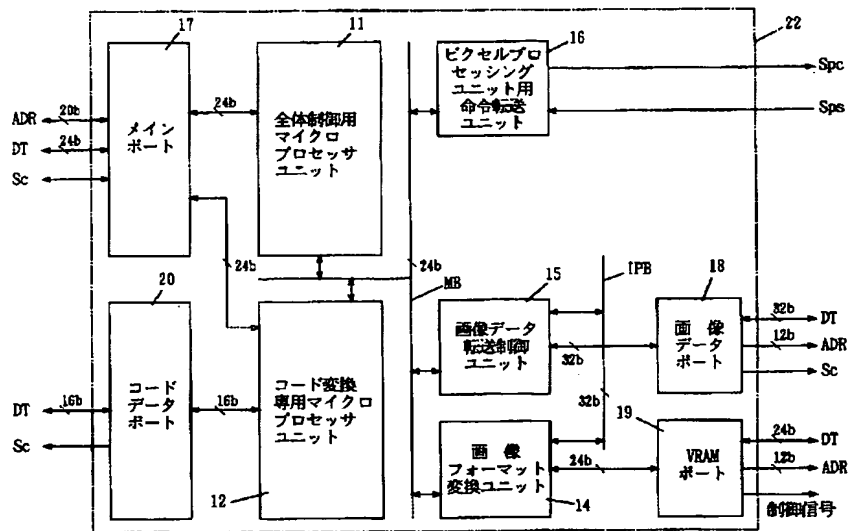
【図9】



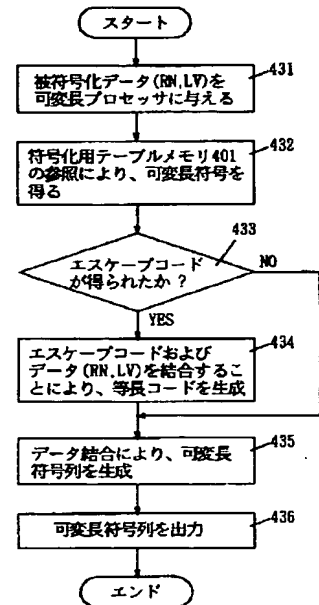
【図 30】



【図 10】

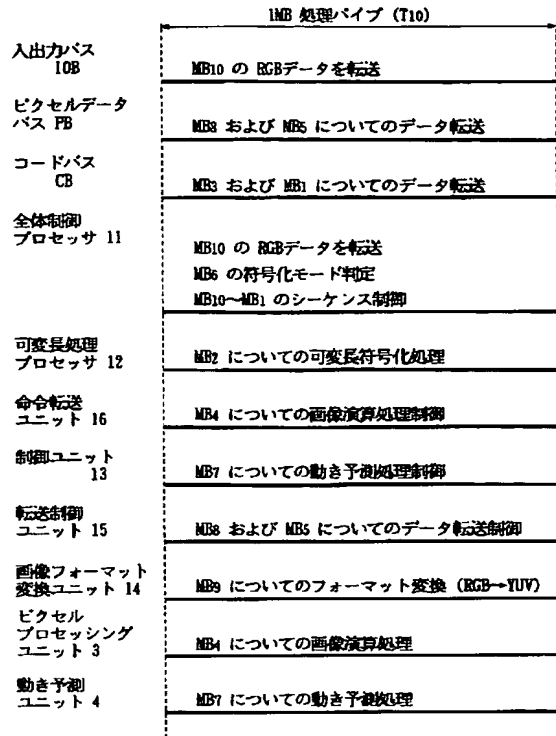


【図 3 1】

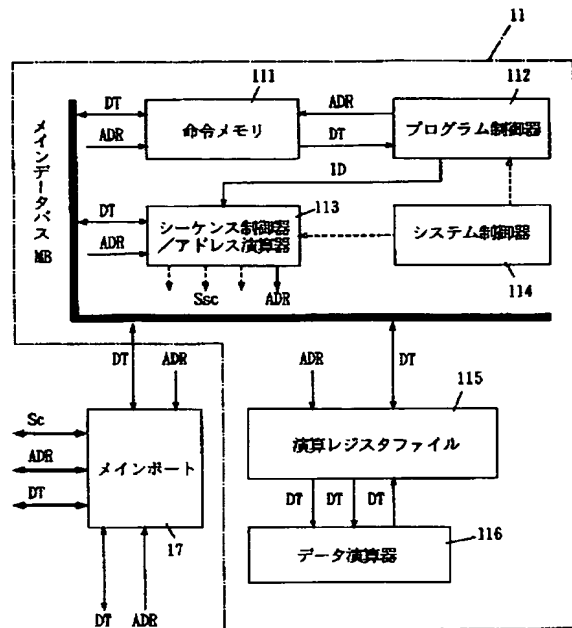




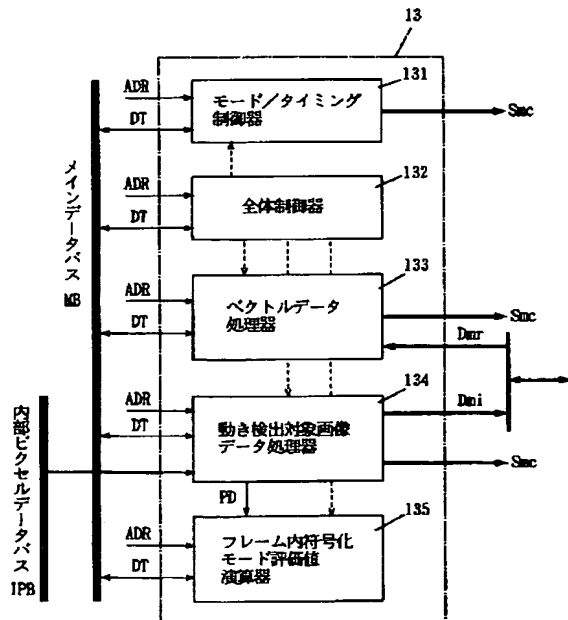
【図12】



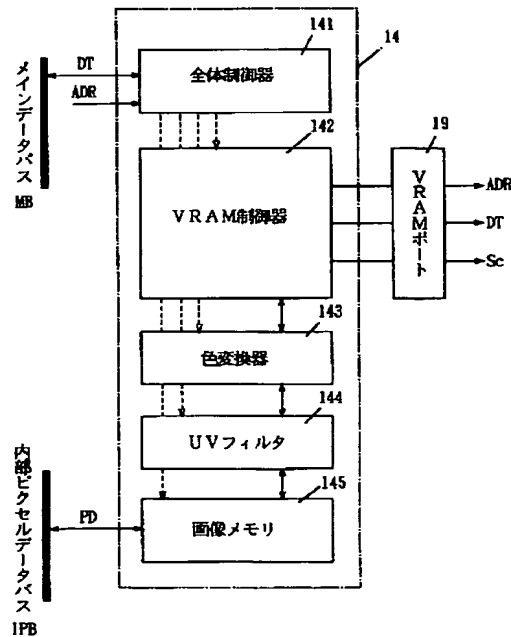
【図13】



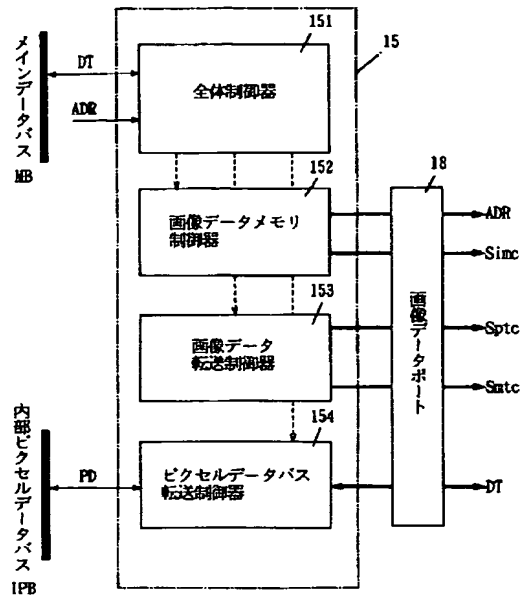
【図14】



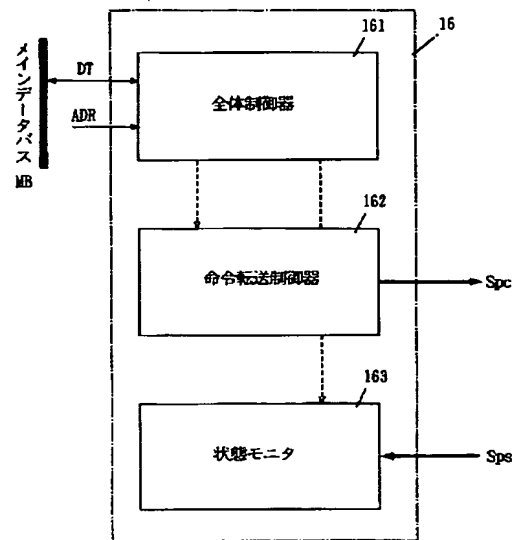
【図15】



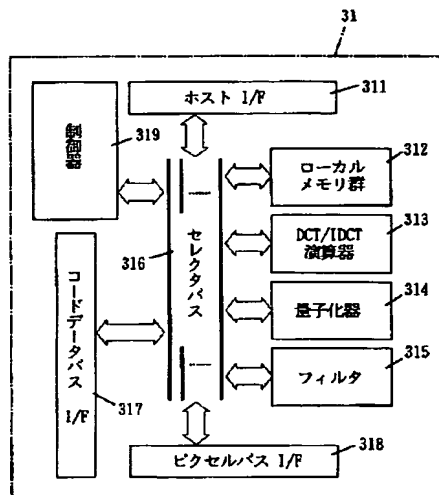
【図16】



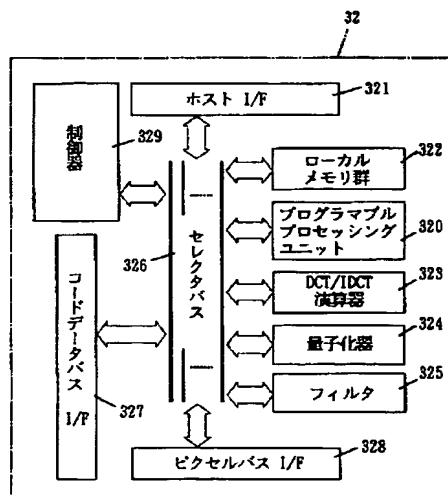
【図17】



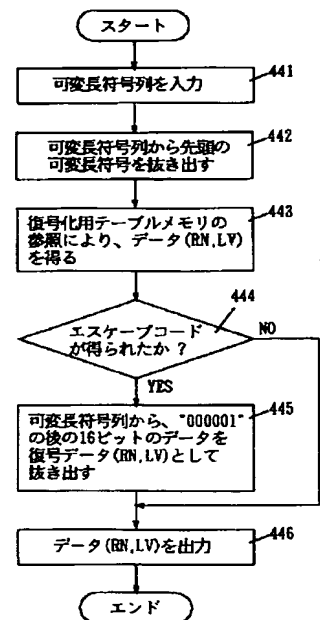
【図18】



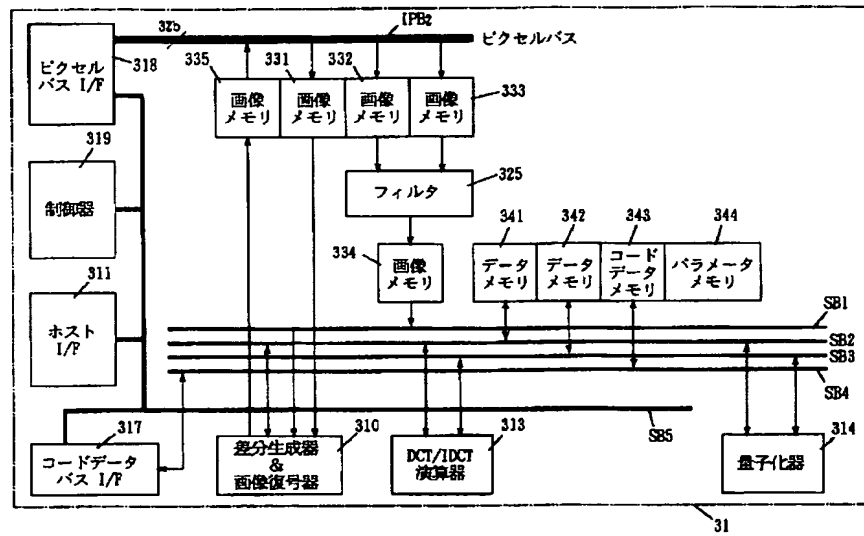
【図20】



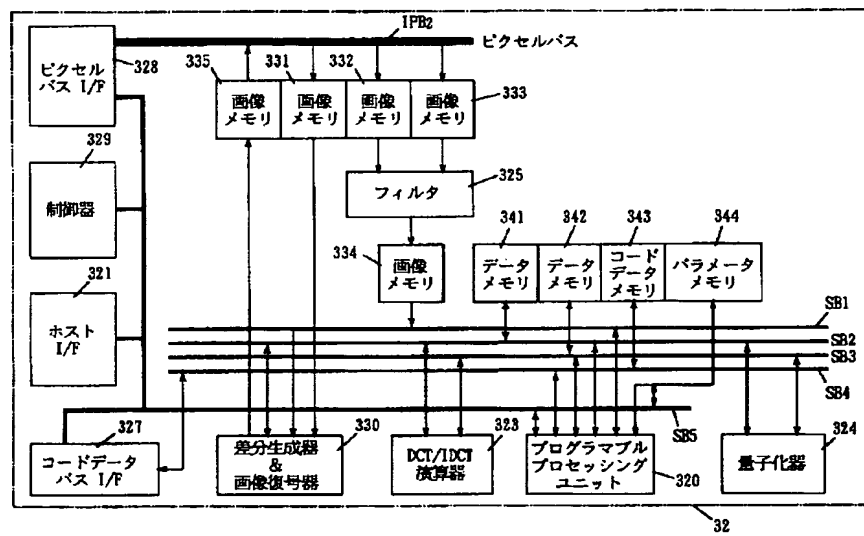
【図32】



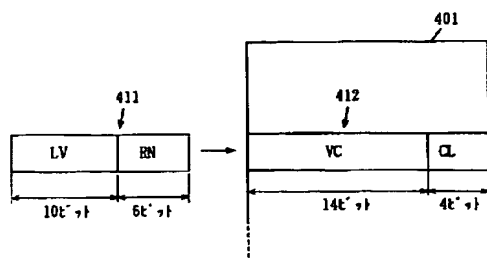
【図 19】



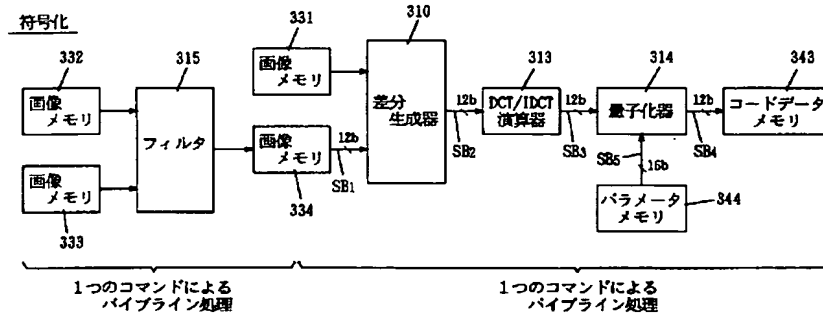
【図 21】



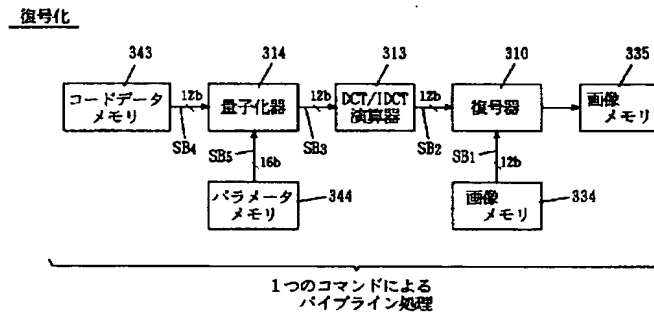
【図 33】



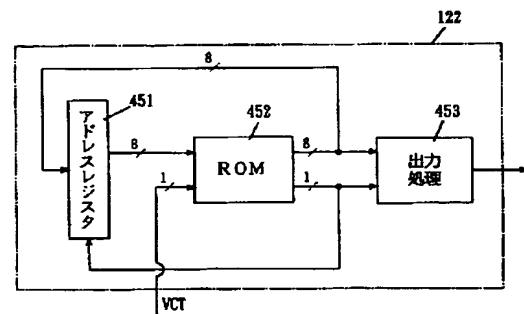
【図 2 4】



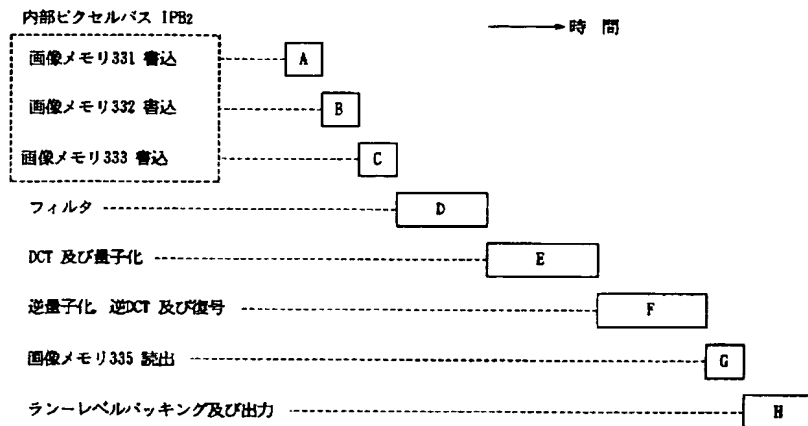
【図 2 5】



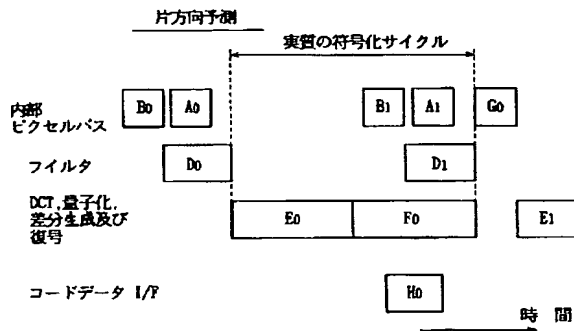
【図 3 6】



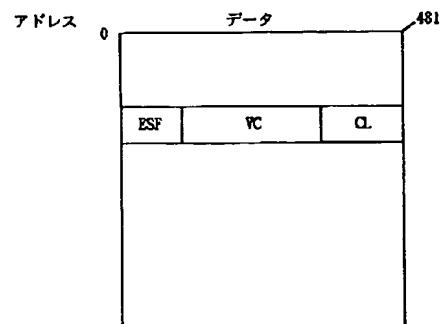
【図 2 6】



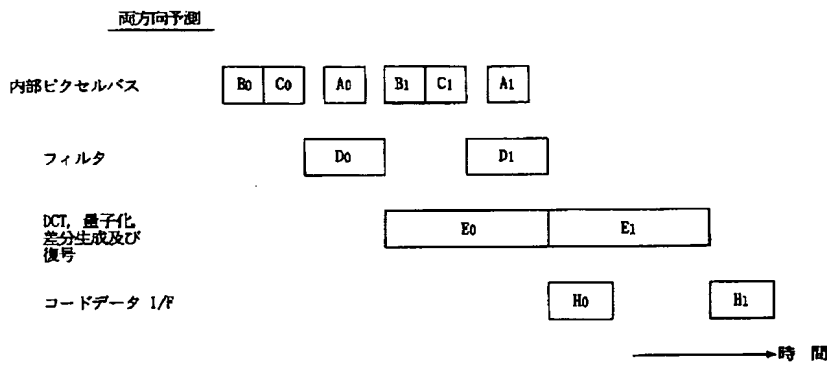
【図 2 8】



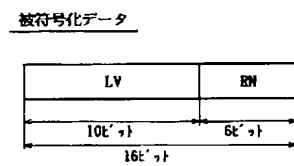
【図 5 1】



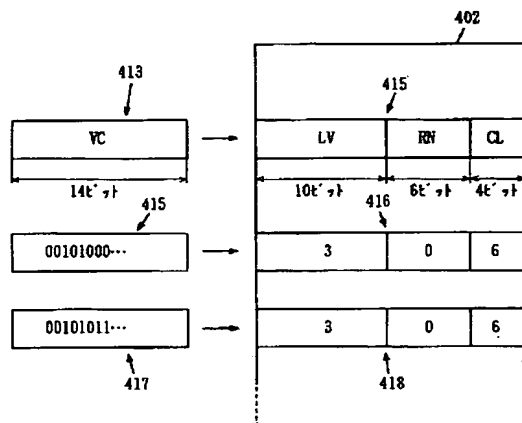
【図 2 9】



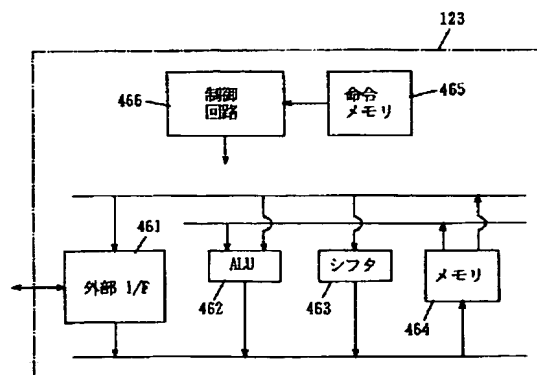
【図 5 2】



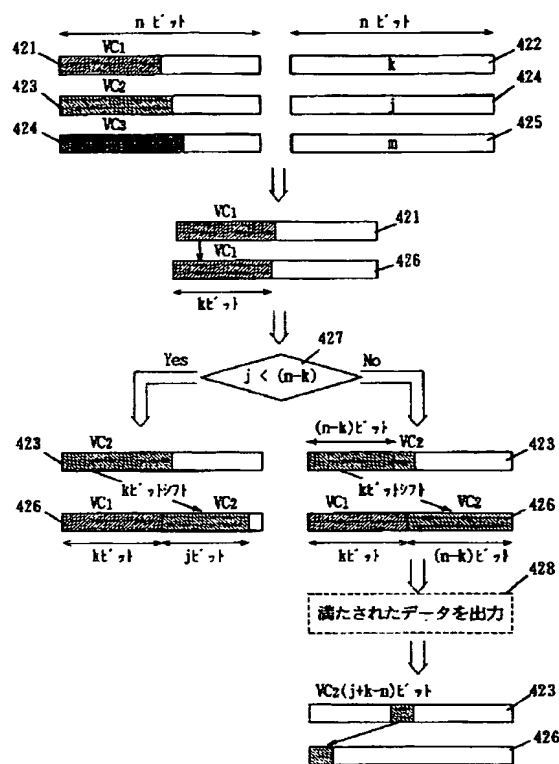
【図 3 4】



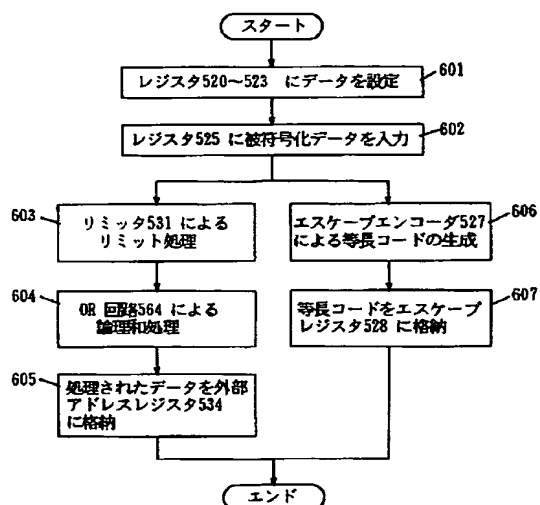
【図 3 7】



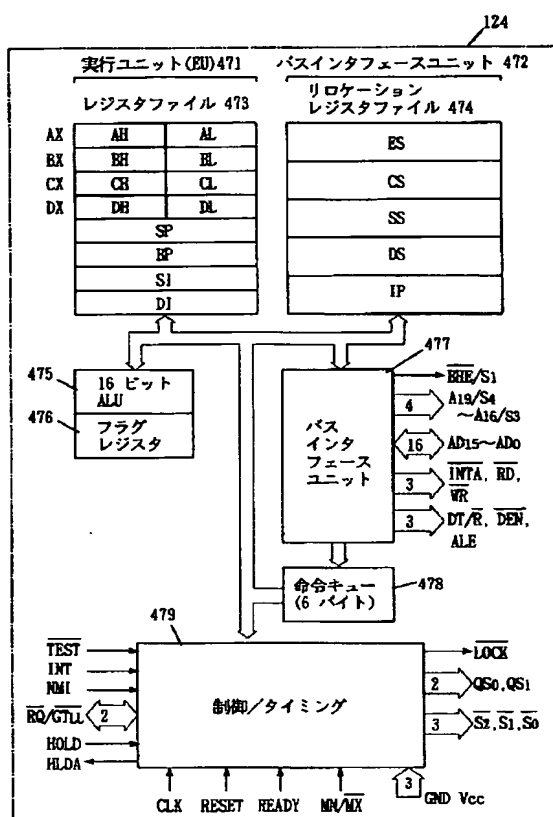
【図 35】



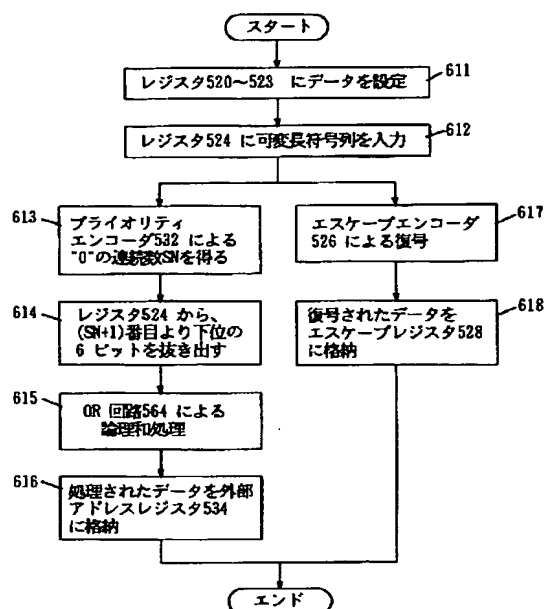
【図 42】



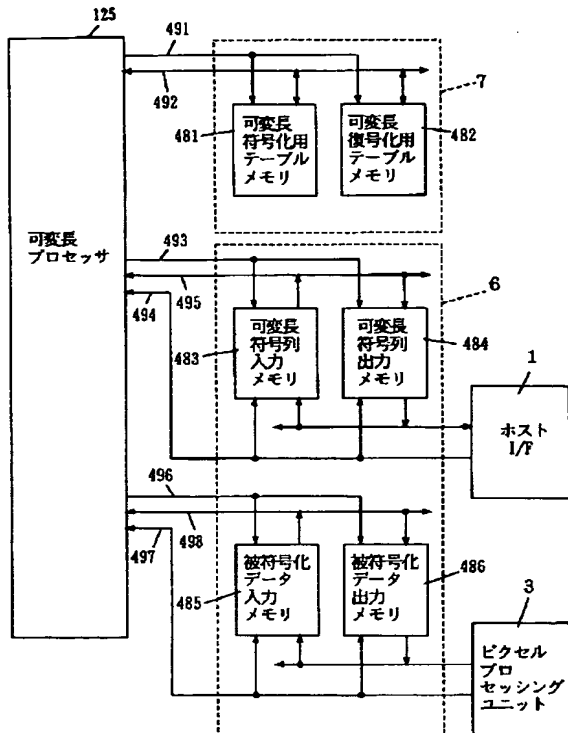
【図 38】



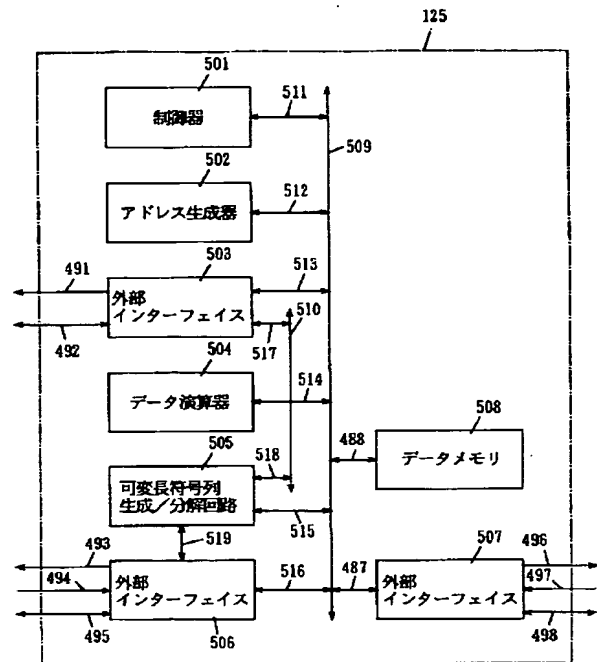
【図 43】



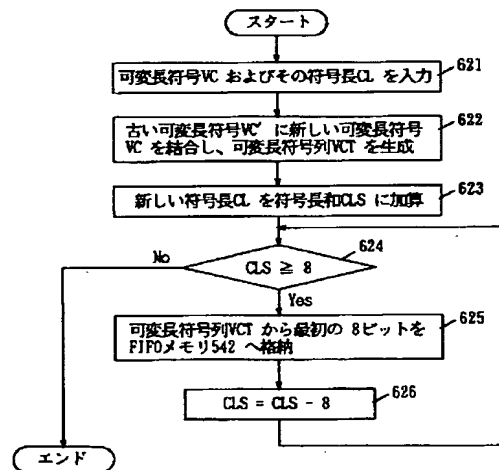
【図 39】



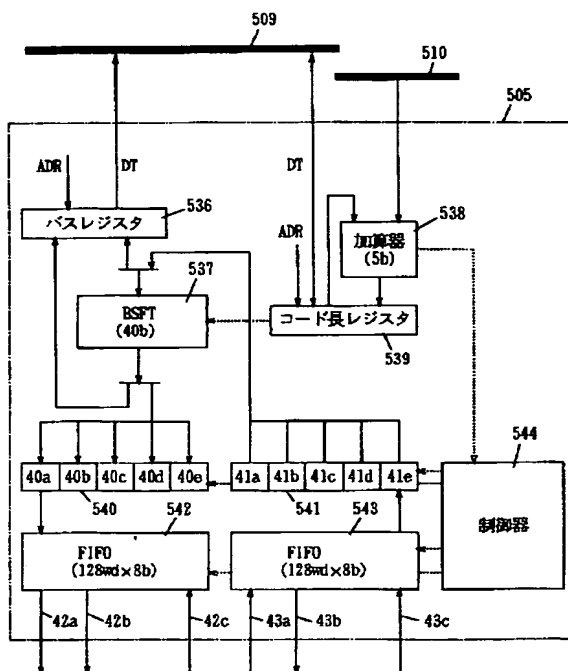
【図 40】



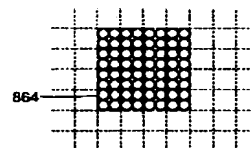
【図 45】



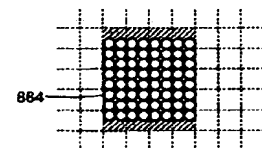
【図 44】



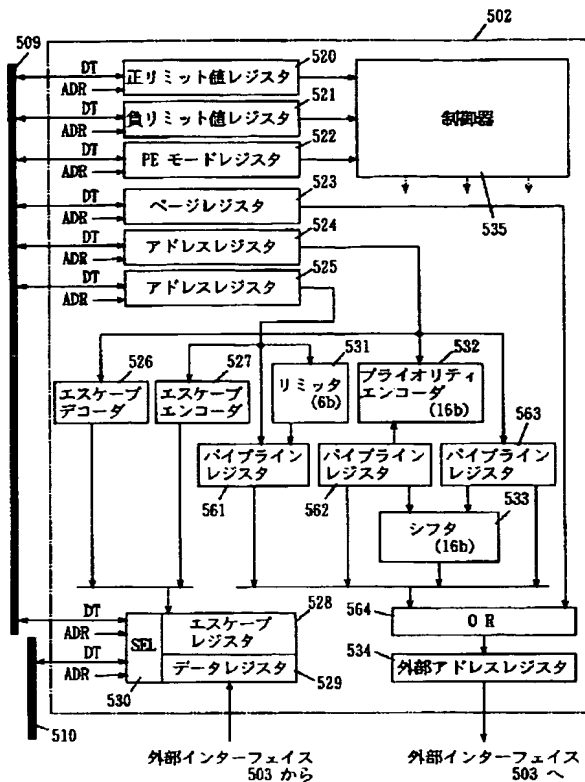
【図 73】



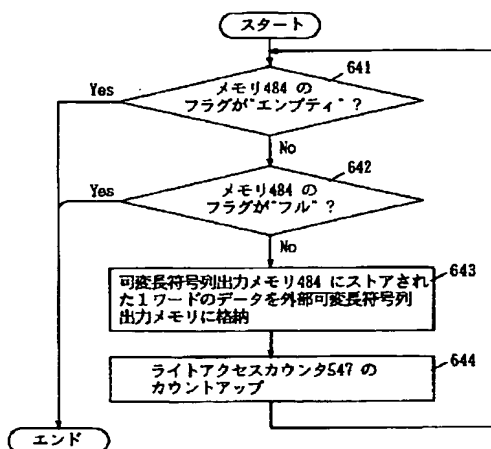
【図 74】



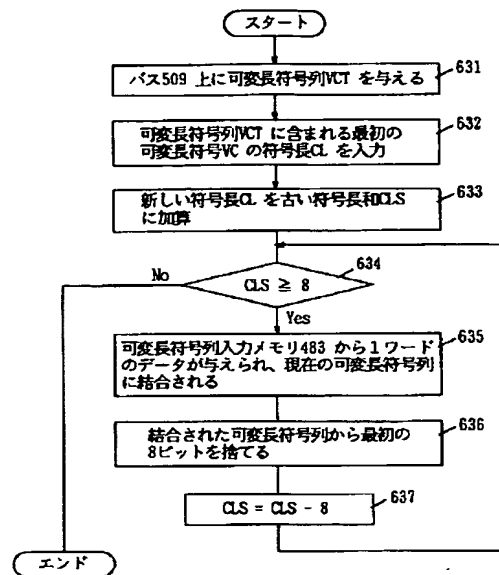
【図41】



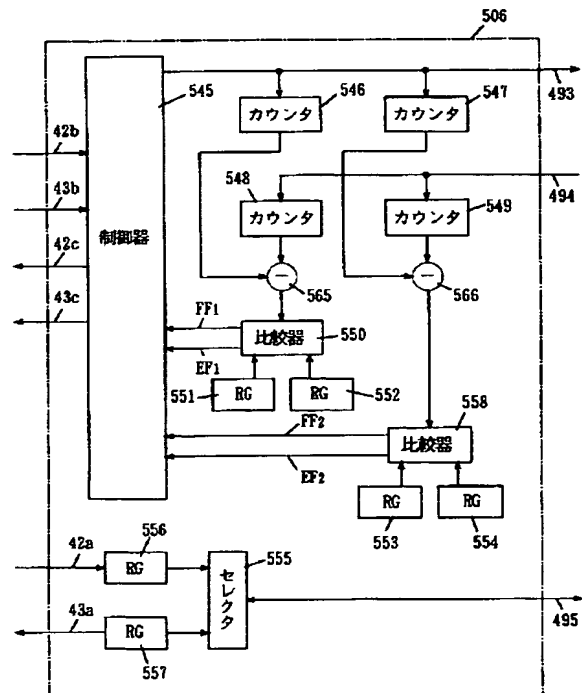
【図48】



【図46】

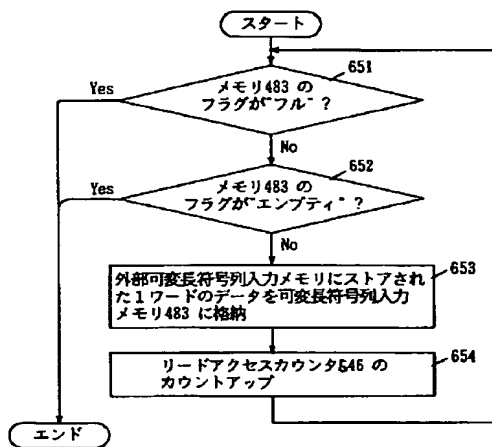


【図47】





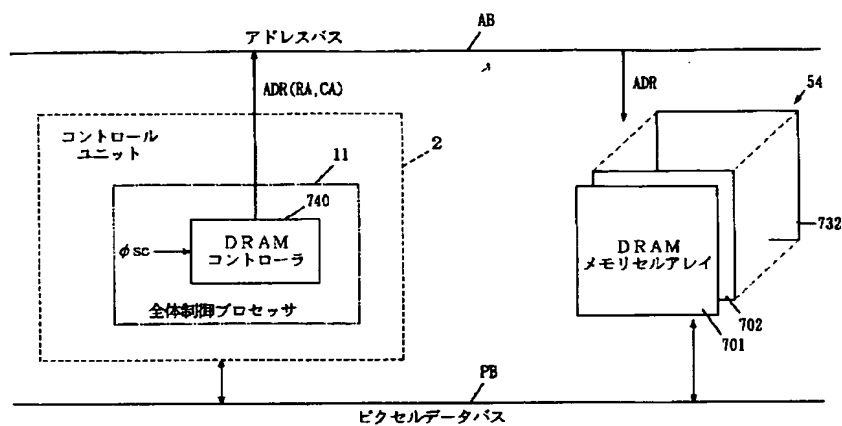
【図49】



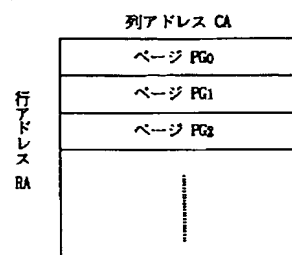
【図50】

RM	LV	CL	VC	VC	CL	GROUP
0	1	2	15	15	2	GR0
0	2	3	01001	01001	2	GR1
0	3	4	00000100	01001	2	
0	4	5	00100110	01001	2	
0	5	6	00000001	01001	2	
0	6	7	00000001	01001	2	
0	7	8	00000001	01001	2	
0	8	9	00000001	01001	2	
0	9	10	00000001	01001	2	
0	10	11	00000001	01001	2	
0	11	12	00000001	01001	2	
0	12	13	00000001	01001	2	
0	13	14	00000001	01001	2	
0	14	15	00000001	01001	2	
0	15	16	00000001	01001	2	
0	16	17	00000001	01001	2	
0	17	18	00000001	01001	2	
0	18	19	00000001	01001	2	
0	19	20	00000001	01001	2	
0	20	21	00000001	01001	2	
0	21	22	00000001	01001	2	
0	22	23	00000001	01001	2	
0	23	24	00000001	01001	2	
0	24	25	00000001	01001	2	
0	25	26	00000001	01001	2	
0	26	27	00000001	01001	2	
0	27	28	00000001	01001	2	
0	28	29	00000001	01001	2	
0	29	30	00000001	01001	2	
0	30	31	00000001	01001	2	
0	31	32	00000001	01001	2	
0	32	33	00000001	01001	2	
0	33	34	00000001	01001	2	
0	34	35	00000001	01001	2	
0	35	36	00000001	01001	2	
0	36	37	00000001	01001	2	
0	37	38	00000001	01001	2	
0	38	39	00000001	01001	2	
0	39	40	00000001	01001	2	
0	40	41	00000001	01001	2	
0	41	42	00000001	01001	2	
0	42	43	00000001	01001	2	
0	43	44	00000001	01001	2	
0	44	45	00000001	01001	2	
0	45	46	00000001	01001	2	
0	46	47	00000001	01001	2	
0	47	48	00000001	01001	2	
0	48	49	00000001	01001	2	
0	49	50	00000001	01001	2	
0	50	51	00000001	01001	2	
0	51	52	00000001	01001	2	
0	52	53	00000001	01001	2	
0	53	54	00000001	01001	2	
0	54	55	00000001	01001	2	
0	55	56	00000001	01001	2	
0	56	57	00000001	01001	2	
0	57	58	00000001	01001	2	
0	58	59	00000001	01001	2	
0	59	60	00000001	01001	2	
0	60	61	00000001	01001	2	
0	61	62	00000001	01001	2	
0	62	63	00000001	01001	2	
0	63	64	00000001	01001	2	
0	64	65	00000001	01001	2	
0	65	66	00000001	01001	2	
0	66	67	00000001	01001	2	
0	67	68	00000001	01001	2	
0	68	69	00000001	01001	2	
0	69	70	00000001	01001	2	
0	70	71	00000001	01001	2	
0	71	72	00000001	01001	2	
0	72	73	00000001	01001	2	
0	73	74	00000001	01001	2	
0	74	75	00000001	01001	2	
0	75	76	00000001	01001	2	
0	76	77	00000001	01001	2	
0	77	78	00000001	01001	2	
0	78	79	00000001	01001	2	
0	79	80	00000001	01001	2	
0	80	81	00000001	01001	2	
0	81	82	00000001	01001	2	
0	82	83	00000001	01001	2	
0	83	84	00000001	01001	2	
0	84	85	00000001	01001	2	
0	85	86	00000001	01001	2	
0	86	87	00000001	01001	2	
0	87	88	00000001	01001	2	
0	88	89	00000001	01001	2	
0	89	90	00000001	01001	2	
0	90	91	00000001	01001	2	
0	91	92	00000001	01001	2	
0	92	93	00000001	01001	2	
0	93	94	00000001	01001	2	
0	94	95	00000001	01001	2	
0	95	96	00000001	01001	2	
0	96	97	00000001	01001	2	
0	97	98	00000001	01001	2	
0	98	99	00000001	01001	2	
0	99	100	00000001	01001	2	
0	100	101	00000001	01001	2	
0	101	102	00000001	01001	2	
0	102	103	00000001	01001	2	
0	103	104	00000001	01001	2	
0	104	105	00000001	01001	2	
0	105	106	00000001	01001	2	
0	106	107	00000001	01001	2	
0	107	108	00000001	01001	2	
0	108	109	00000001	01001	2	
0	109	110	00000001	01001	2	
0	110	111	00000001	01001	2	
0	111	112	00000001	01001	2	
0	112	113	00000001	01001	2	
0	113	114	00000001	01001	2	
0	114	115	00000001	01001	2	
0	115	116	00000001	01001	2	
0	116	117	00000001	01001	2	
0	117	118	00000001	01001	2	
0	118	119	00000001	01001	2	
0	119	120	00000001	01001	2	
0	120	121	00000001	01001	2	
0	121	122	00000001	01001	2	
0	122	123	00000001	01001	2	
0	123	124	00000001	01001	2	
0	124	125	00000001	01001	2	
0	125	126	00000001	01001	2	
0	126	127	00000001	01001	2	
0	127	128	00000001	01001	2	
0	128	129	00000001	01001	2	
0	129	130	00000001	01001	2	
0	130	131	00000001	01001	2	
0	131	132	00000001	01001	2	
0	132	133	00000001	01001	2	
0	133	134	00000001	01001	2	
0	134	135	00000001	01001	2	
0	135	136	00000001	01001	2	
0	136	137	00000001	01001	2	
0	137	138	00000001	01001	2	
0	138	139	00000001	01001	2	
0	139	140	00000001	01001	2	
0	140	141	00000001	01001	2	
0	141	142	00000001	01001	2	
0	142	143	00000001	01001	2	
0	143	144	00000001	01001	2	
0	144	145	00000001	01001	2	
0	145	146	00000001	01001	2	
0	146	147	00000001	01001	2	
0	147	148	00000001	01001	2	
0	148	149	00000001	01001	2	
0	149	150	00000001	01001	2	
0	150	151	00000001	01001	2	
0	151	152	00000001	01001	2	
0	152	153	00000001	01001	2	
0	153	154	00000001	01001	2	
0	154	155	00000001	01001	2	
0	155	156	00000001	01001	2	
0	156	157	00000001	01001	2	
0	157	158	00000001	01001	2	
0	158	159	00000001	01001	2	
0	159	160	00000001	01001	2	
0	160	161	00000001	01001	2	
0	161	162	00000001	01001	2	
0	162	163	00000001	01001	2	
0	163	164	00000001	01001	2	
0	164	165	00000001	01001	2	
0	165	166	00000001	01001	2	
0	166	167	00000001	01001	2	
0	167	168	00000001	01001	2	
0	168	169	00000001	01001	2	
0	169	170	00000001	01001	2	
0	170	171	00000001	01001	2	
0	171	172	00000001	01001	2	
0	172	173	00000001	01001	2	
0	173	174	00000001	01001	2	
0	174	175	00000001	01001	2	
0	175	176	00000001	01001	2	
0	176	177	00000001	01001	2	
0	177	178	00000001	01001	2	
0	178	179	00000001	01001	2	
0	179	180	00000001	01001	2	
0	180	181	00000001	01001	2	
0	181	182	00000001	01001	2	
0	182	183	00000001	01001	2	
0	183	184	00000001	01001	2	
0	184	185	00000001	01001	2	
0	185	186	00000001	01001	2	
0	186	187	00000001	01001	2	
0	187	188	00000001	01001	2	
0	188	189	00000001	01001	2	
0	189	190	00000001	01001	2	
0	190	191	00000001	01001	2	
0	191	192	00000001	01001	2	
0	192	193	00000001	01001	2	
0	193	194	00000001	01001	2	
0	194	195	00000001	01001	2	
0	195	196	00000001	01001	2	
0	196	197	00000001	01001	2	
0	197	198	00000001	01001	2	
0	198	199	00000001	01001	2	
0	199	200	00000001	01001	2	
0	200	201	00000001	01001	2	</

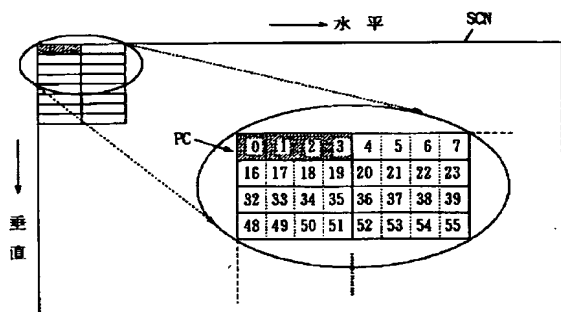
【図55】



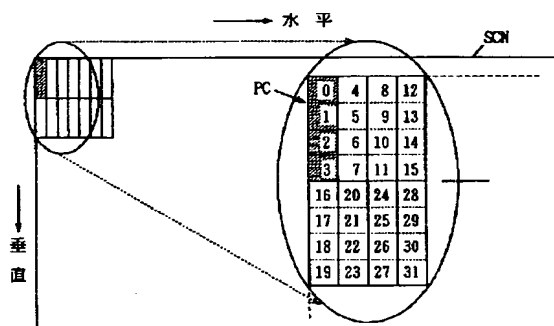
【図67】



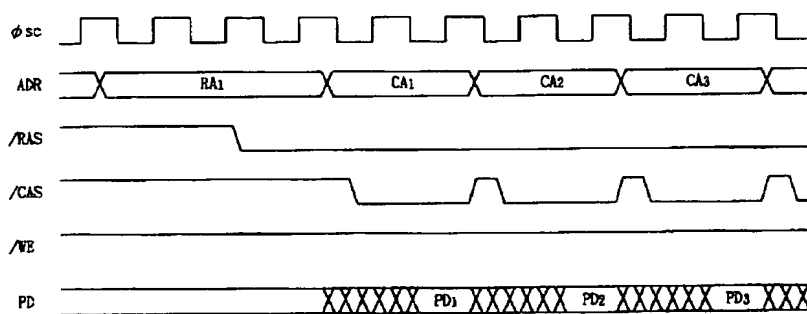
【図56】



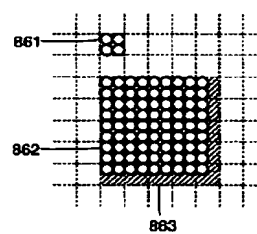
【図57】



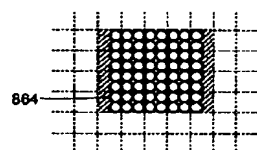
【図59】



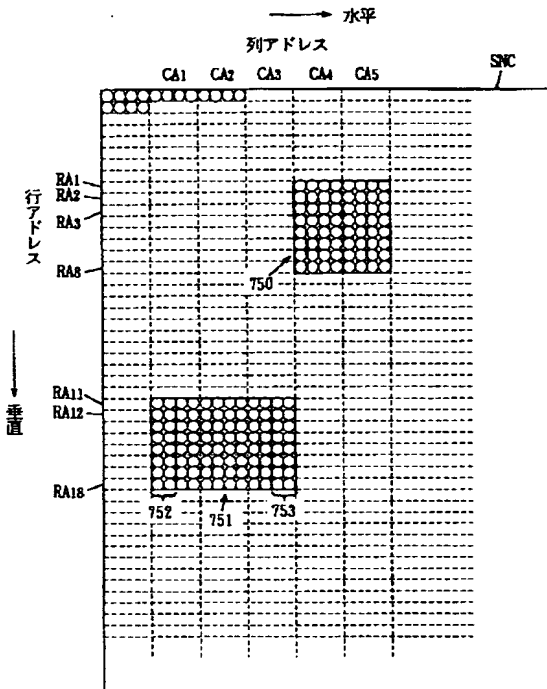
【図72】



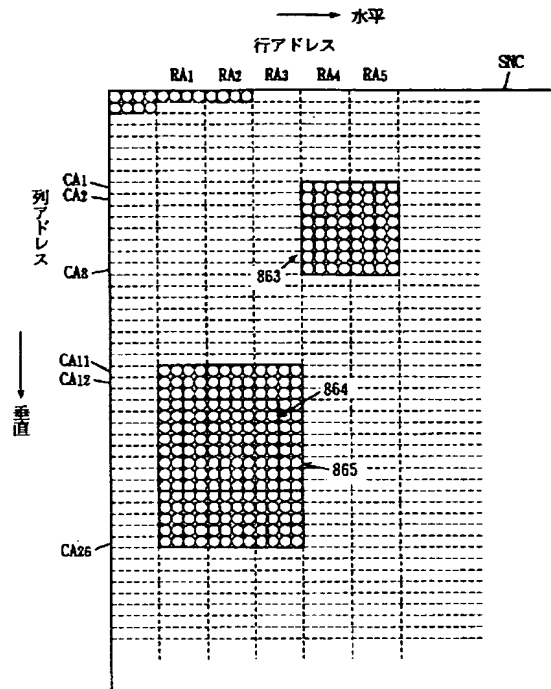
【図75】



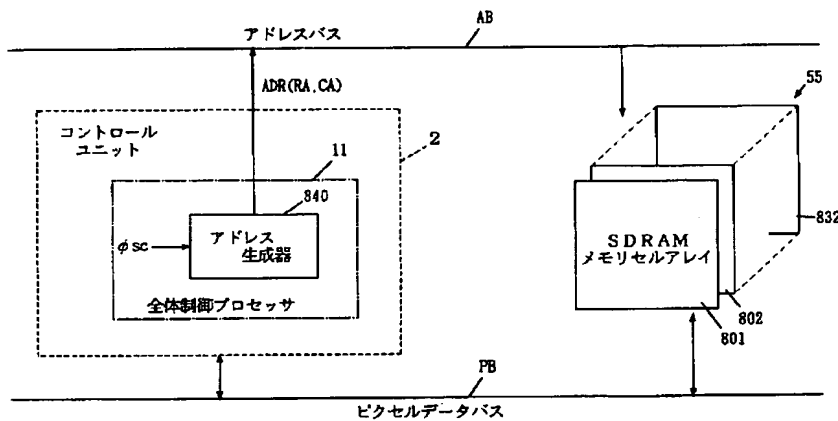
【図58】



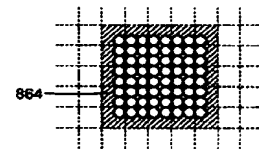
【図65】



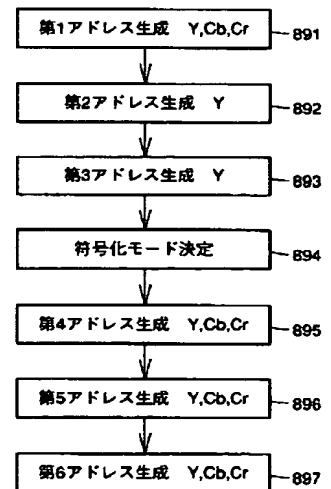
【図60】



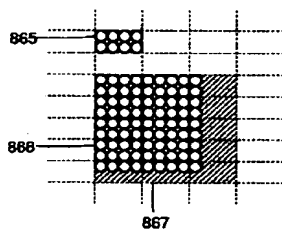
【図76】



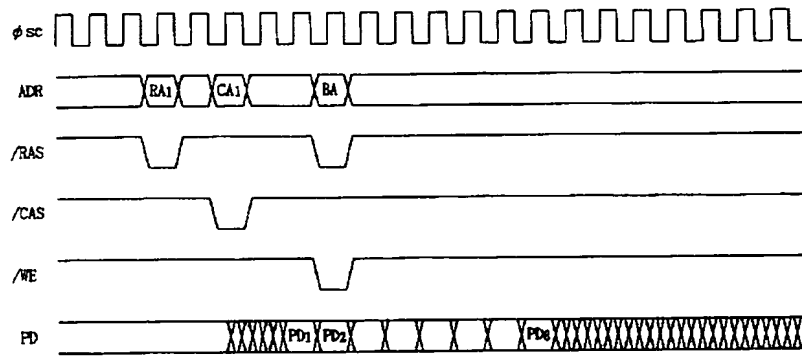
【図82】



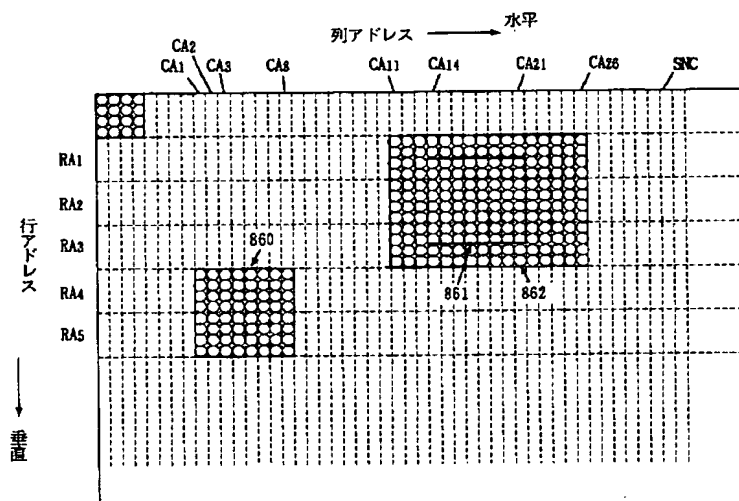
【図77】



【図 6 1】



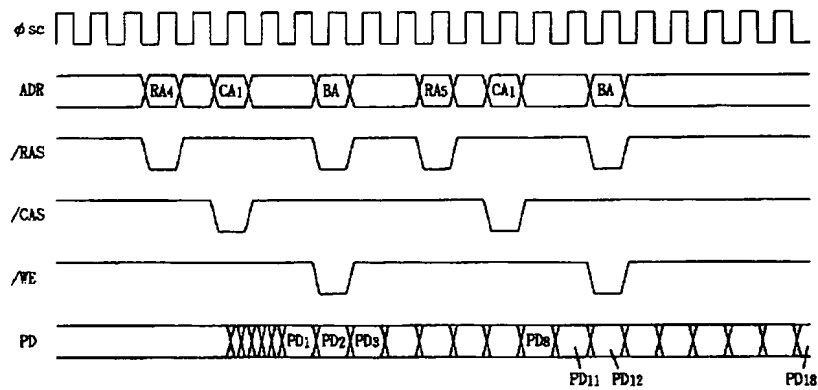
【図 6 2】



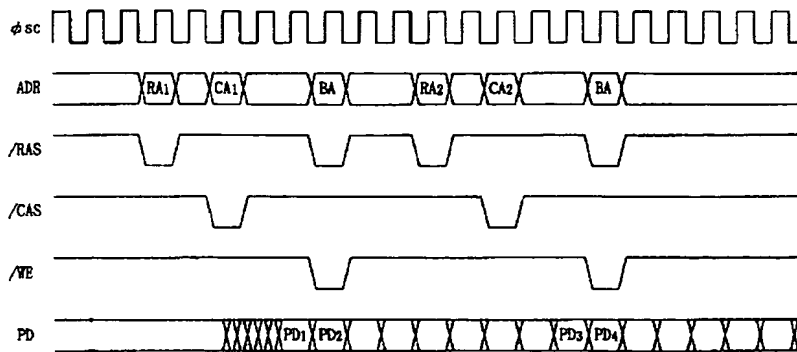
【図 6 8】

画面 ↓ 垂直方向	水平方向			
	PG0	PG1	PG2	PG3
	PG4	PG5	PG6	PG7
	PG8	PG9	PG10	PG11

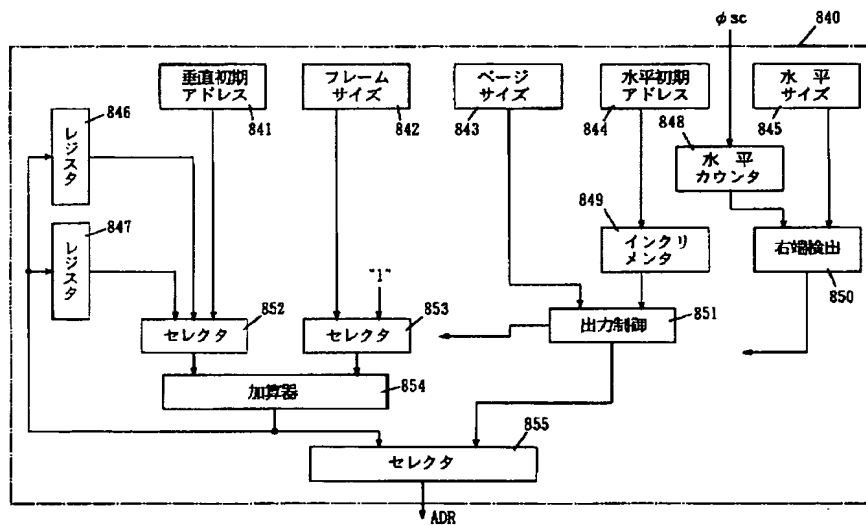
【図 6 3】



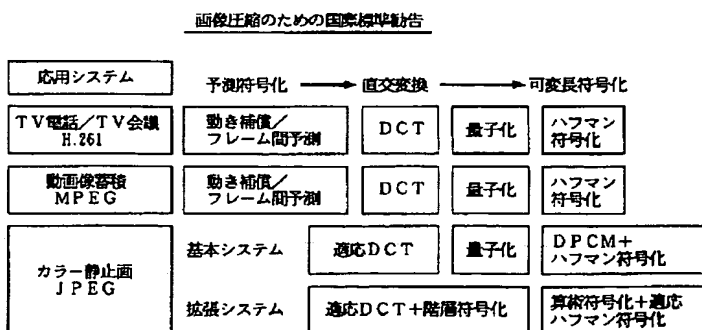
【図 6 4】



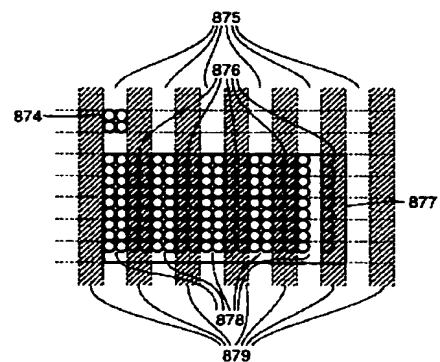
【図 6 6】



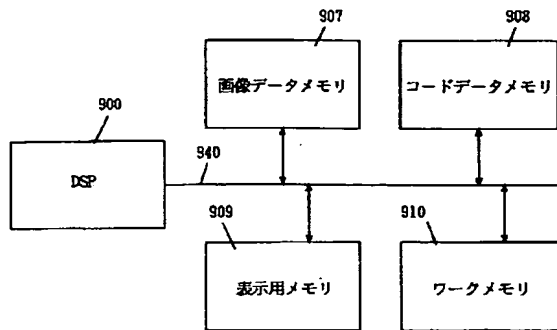
【図 6 9】



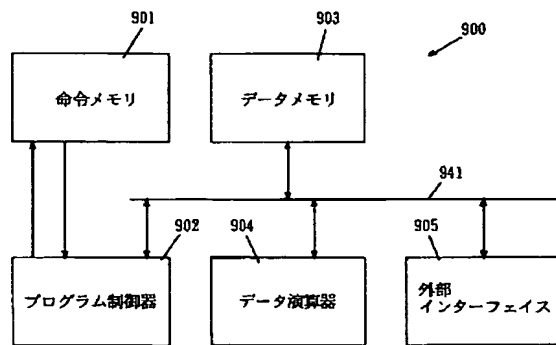
【図 7 9】



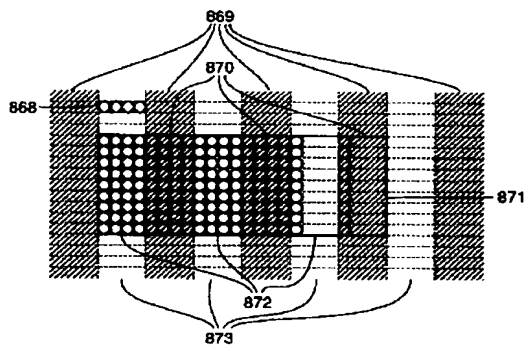
【図 70】



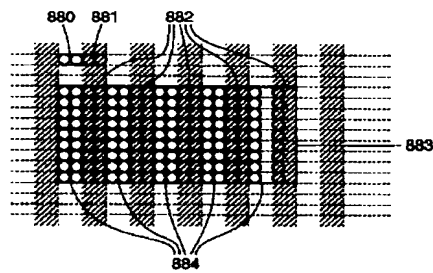
【図 71】



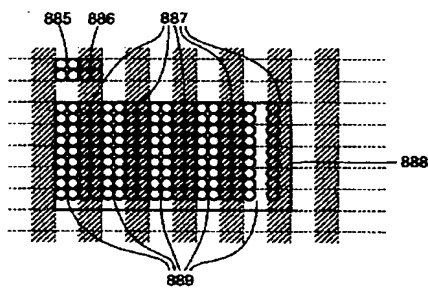
【図 78】



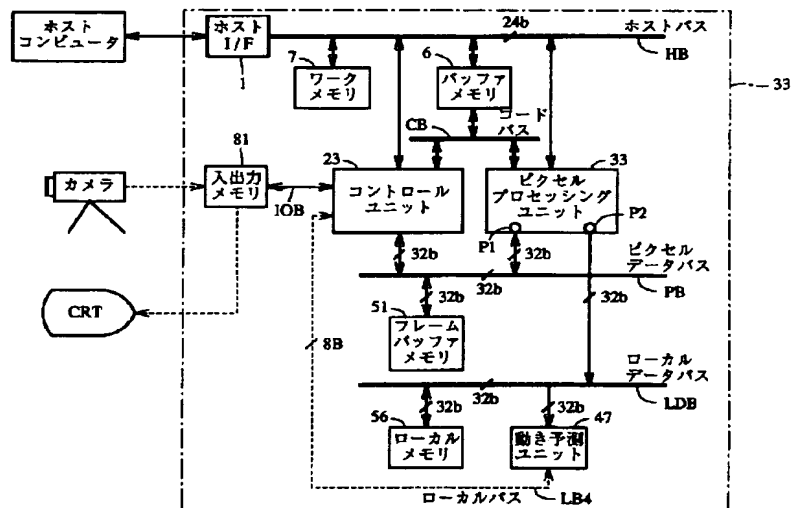
【図 80】



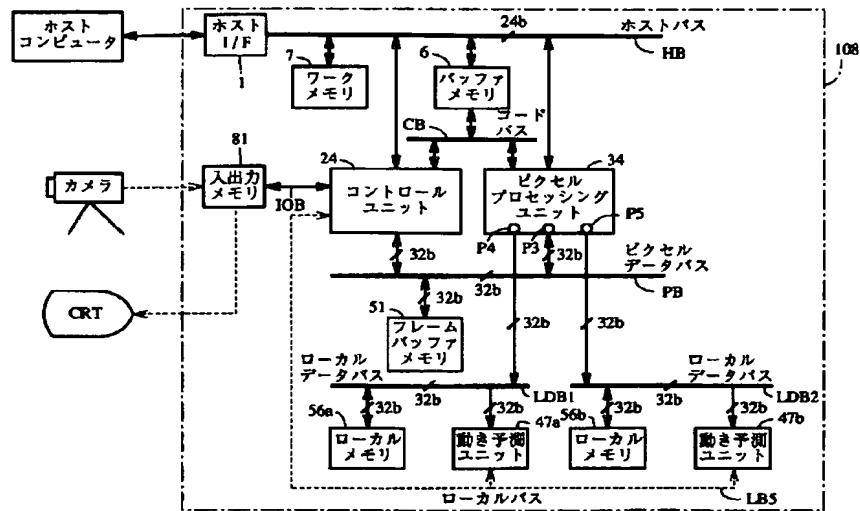
【図 81】



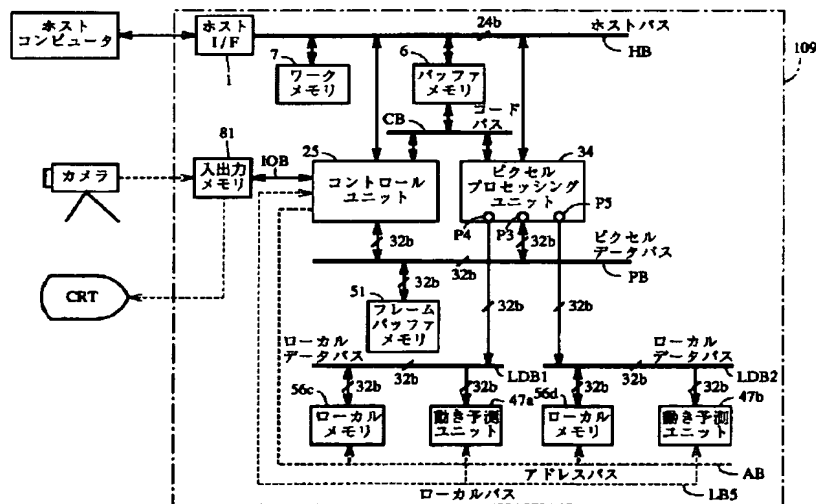
【図 83】



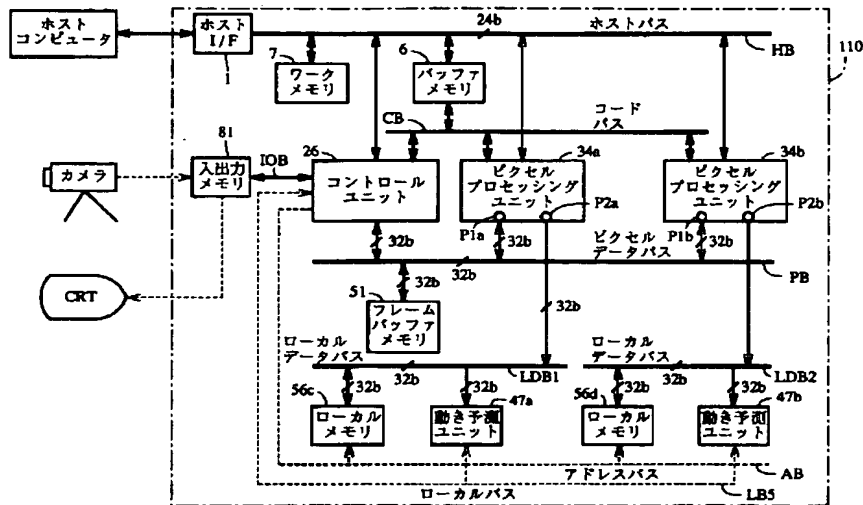
【図84】



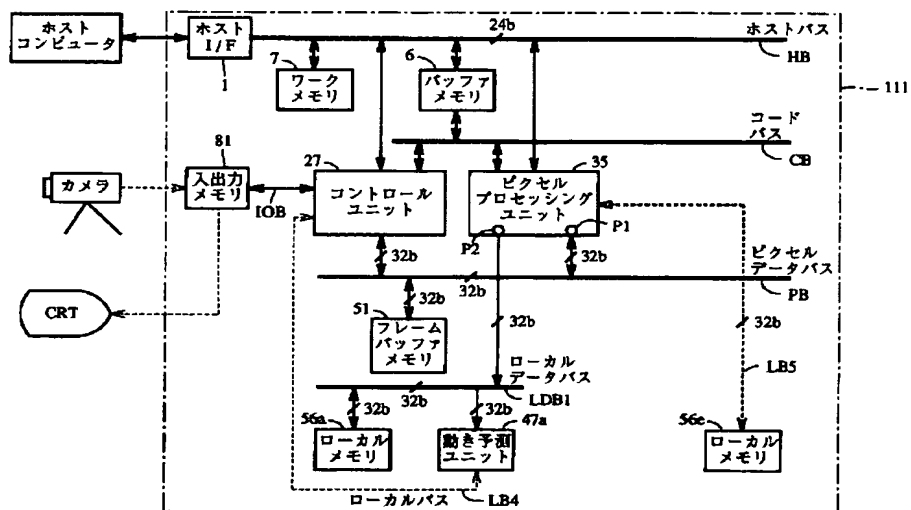
【図85】



【図 8 6】

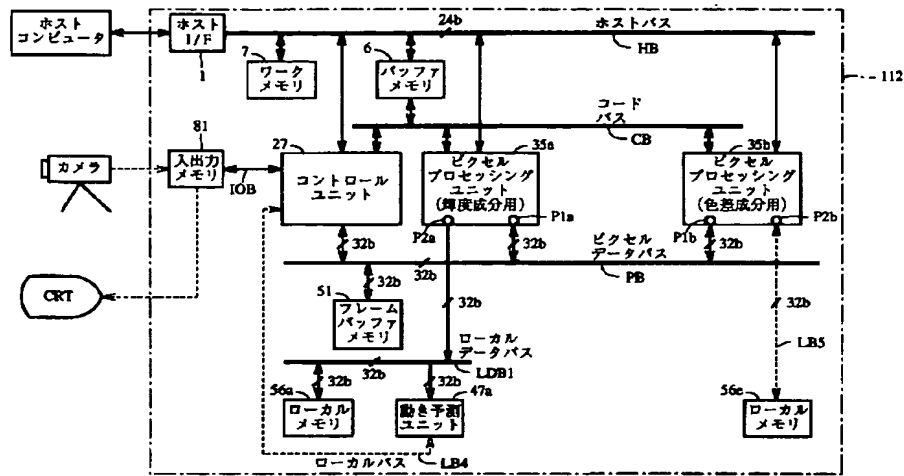


【図 8 7】

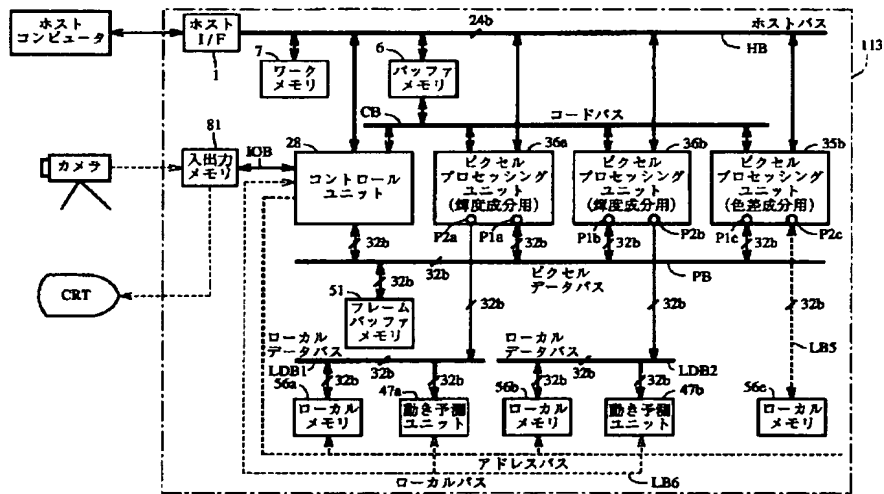




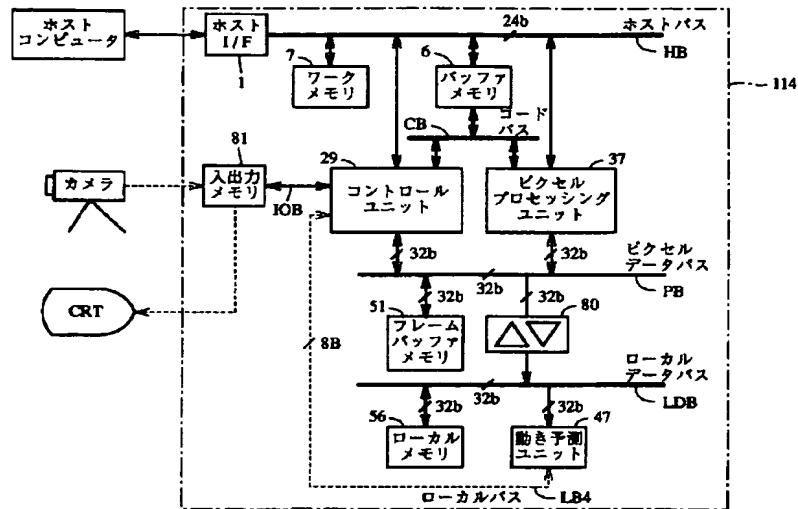
【図 8 8】



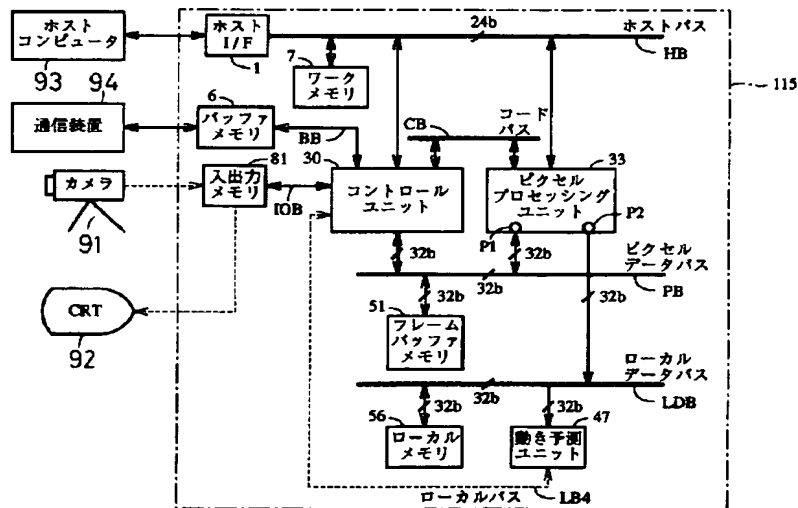
【図 8 9】



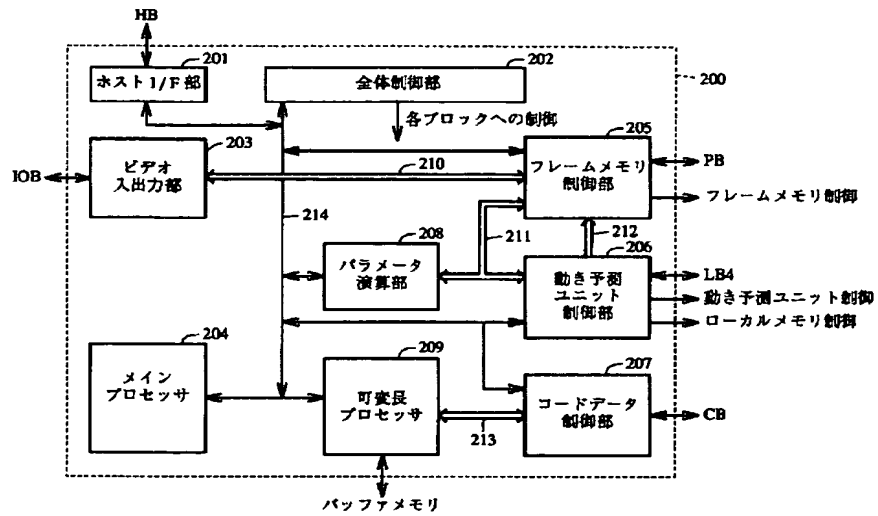
【図90】



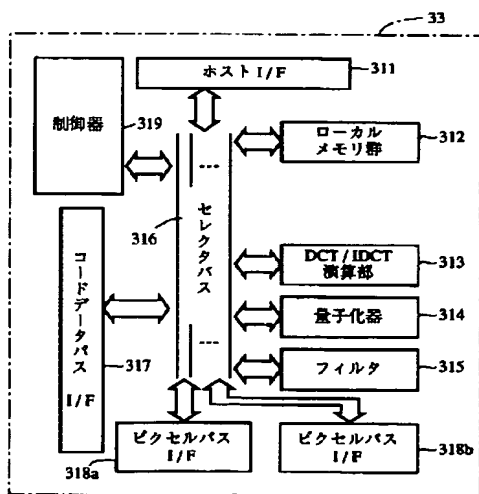
【図91】



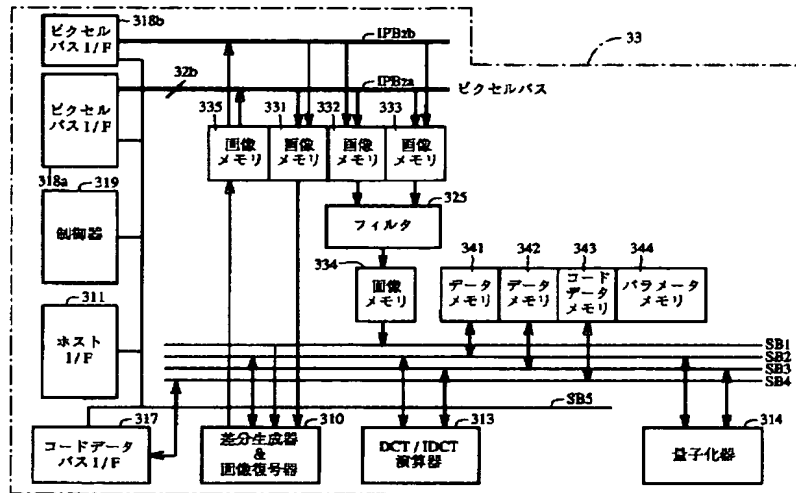
【図 9 2】



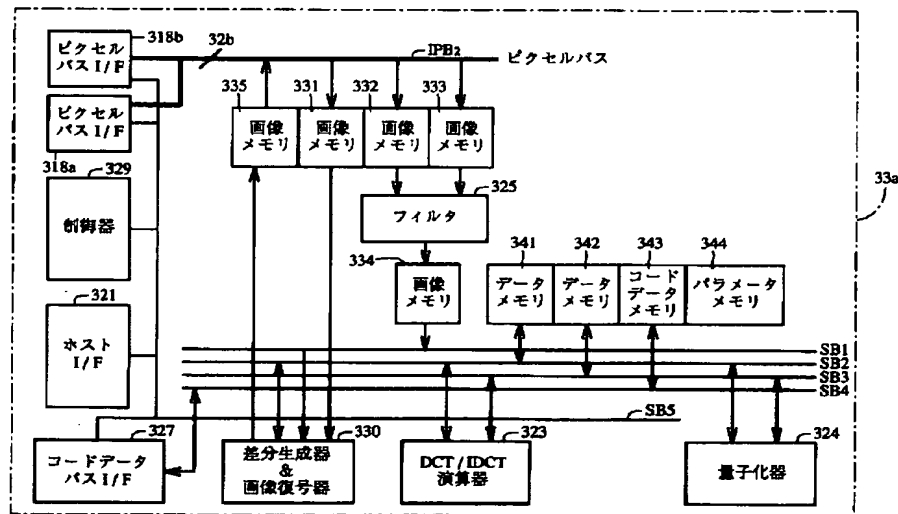
【図 9 3】



【図94】



【図95】



フロントページの続き

(72) 発明者 瀬川 浩

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社システムエル・エス・アイ開発研  
究所内

(72) 発明者 石原 和哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社システムエル・エス・アイ開発研  
究所内

(72) 発明者 熊木 哲

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社システムエル・エス・アイ開発研  
究所内

(72) 発明者 花見 充雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社システムエル・エス・アイ開発研  
究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**